



Ελληνική Δημοκρατία
Τεχνολογικό Εκπαιδευτικό
Ίδρυμα Ηπείρου

Αρχιτεκτονική υπολογιστών

Ενότητα 4 : Ενδιάμεση Μνήμη (Cache Memory)

Φώτης Βαρζιώτης



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



Τμήμα Μηχανικών Πληροφορικής Τ.Ε

Αρχιτεκτονική υπολογιστών

Ενότητα 4 : Ενδιάμεση Μνήμη (Cache Memory)

Φώτης Βαρζιώτης

Καθηγητής Εφαρμογών

Άρτα, 2015



Άδειες Χρήσης

- Το παρόν εκπαιδευτικό υλικό υπόκειται σε άδειες χρήσης Creative Commons.
- Για εκπαιδευτικό υλικό, όπως εικόνες, που υπόκειται σε άλλου τύπου άδειας χρήσης, η άδεια χρήσης αναφέρεται ρητώς.





Χρηματοδότηση

- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «**Εκπαίδευση και Δια Βίου Μάθηση**» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο ΤΕΙ Ηπείρου**» έχει χρηματοδοτήσει μόνο τη αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου του διδάσκοντα.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΕΠΙΧΕΙΡΗΣΙΑΚΟ ΠΡΟΓΡΑΜΜΑ
ΕΚΠΑΙΔΕΥΣΗ ΚΑΙ ΔΙΑ ΒΙΟΥ ΜΑΘΗΣΗ
επένδυση στην κοινωνία της γνώσης
ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ



Χαρακτηριστικά

- Θέση
- Χωρητικότητα
- Μονάδα Μεταφοράς Πληροφορίας
- Μέθοδος Προσπέλασης
- Απόδοση
- Φυσικός Τύπος
- Φυσικά Χαρακτηριστικά
- Οργάνωση



Θέση

- Επεξεργαστής - CPU
- Εσωτερική
- Εξωτερική



Χωρητικότητα

- Μέγεθος Λέξης
 - Η φυσική μονάδα οργάνωσης
- Αριθμός των Λέξεων
 - Έ των Bytes



Μονάδα Μεταφοράς Πληροφορίας_{1/2}

- Εσωτερική
 - Ίση με τον αριθμό των γραμμών (εύρος) του διαύλου δεδομένων
- Εξωτερική
 - Συνήθως ένα τμήμα (block) είναι μεγαλύτερο του μήκους λέξης



Μονάδα Μεταφοράς Πληροφορίας_{2/2}

- Διευθυνσιοδοτούμενη Μονάδα
 - Η μικρότερη θέση που μπορεί να διευθυνσιοδοτηθεί μοναδικά
 - Η λέξη εσωτερικά
 - Το Cluster σε δίσκους



Μέθοδοι Πρόσβασης_{1/4}

- **Ακολουθιακή Πρόσβαση**
 - Ξεκίνα από την αρχή και διάβασε με την σειρά
 - Ο χρόνος πρόσβασης εξαρτάται από την θέση των δεδομένων και την πρότερη θέση προσπέλασης
 - π.χ. Δισκέτα



Μέθοδοι Πρόσβασης_{2/4}

- **Απευθείας Προσπέλαση**
 - Κάθε τμήμα έχει ξεχωριστή διεύθυνση
 - Η πρόσβαση λαμβάνει χώρα με άμεση προσπέλαση σε κοντινό σημείο και μετά με ακολουθιακή έρευνα
 - Ο χρόνος πρόσβασης εξαρτάται από την θέση των δεδομένων και την πρότερη θέση προσπέλασης
 - e.g. Σκληρός Δίσκος



Μέθοδοι Πρόσβασης_{3/4}

- **Τυχαία Προσπέλαση**
 - Κάθε διευθυνσιοδοτούμενη θέση στη μνήμη έχει ένα μοναδικό φυσικό κυκλωματικό μηχανισμό διευθυνσιοδότησης
 - Ο χρόνος προσπέλασης είναι ανεξάρτητος από την ακολουθία των προηγούμενων προσπελάσεων στη μνήμη και είναι σταθερός
 - π.χ. RAM



Μέθοδοι Πρόσβασης_{4/4}

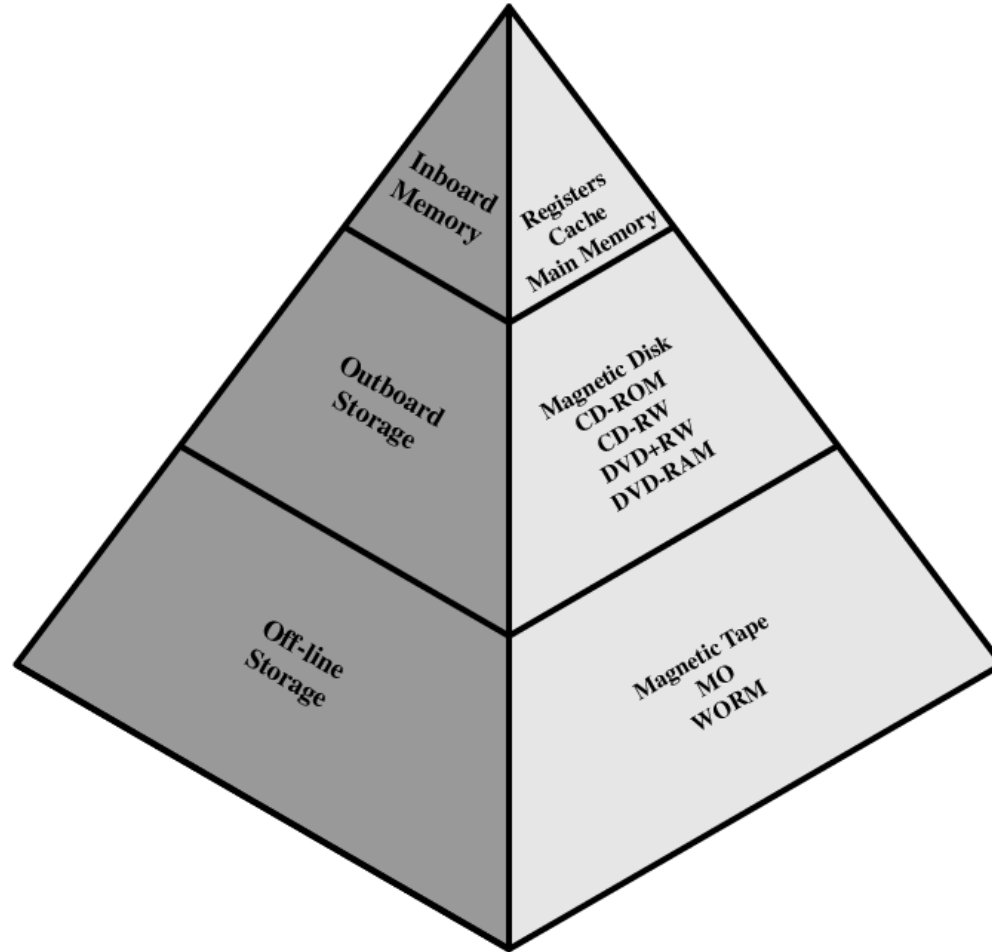
- **Συσχετιστική Προσπέλαση**
 - Σύγκριση των επιθυμητών θέσεων bit μέσα σε μια λέξη για να εντοπίσουμε ένα συγκεκριμένο «ταίριασμα», ταυτόχρονα σε όλες τις λέξεις
 - Ο χρόνος προσπέλασης είναι ανεξάρτητος από την ακολουθία των προηγούμενων προσπελάσεων στη μνήμη και είναι σταθερός
 - π.χ. cache



Η ιεραρχία της μνήμης

- Καταχωρητές
 - Εντός του επεξεργαστή
- Εσωτερική ή Κύρια Μνήμη
 - Μπορεί να περιλαμβάνει ένα ή περισσότερα επίπεδα ενδιάμεσης μνήμης - cache
 - “RAM”
- Εξωτερική Μνήμη
 - Μέσα Αποθήκευσης

Η ιεραρχία μνήμης - Διάγραμμα





Απόδοση

- Χρόνος Προσπέλασης – Λανθάνουσα περίοδος
 - Ο χρόνος από τη στιγμή που τροφοδοτείται μια διεύθυνση στη μνήμη μέχρι τη στιγμή που τα απαιτούμενα δεδομένα θα έχουν αποθηκευτεί ή θα είναι διαθέσιμα προς χρήση
- Χρόνος Κύκλου Μνήμης
 - Απαιτείται χρόνος επαναφοράς σε κατάσταση ετοιμότητας πριν την επόμενη προσπέλαση
 - Χρόνος Κύκλου = Χρόνος Προσπέλασης + Χρόνος Επαναφοράς
- Ταχύτητα Μεταφοράς Πληροφορίας
 - Ρυθμός μεταφοράς δεδομένων



Φυσικοί Τύποι

- Ημιαγωγοί
 - RAM
- Μαγνητικοί
 - Σκληρός δίσκος & Δισκέτες
- Οπτικοί
 - CD & DVD
- Άλλοι
 - Bubble, Hologram



Φυσικά Χαρακτηριστικά

- Φθορά
- Πτητική ή μη
- Κατανάλωση Ισχύος



Οργάνωση

- Φυσική διάταξη των bit για τον σχηματισμό λέξεων
- Δεν είναι πάντα προφανής
- π.χ. interleaved



Σχεδιαστικοί περιορισμοί

- Πόση;
 - Χωρητικότητα
- Πόσο γρήγορη;
 - Ο χρόνος είναι χρήμα..
- Πόσο ακριβή;



Σειρά Ιεραρχίας

- Καταχωρητές
- L1 Cache
- L2 Cache
- Κύρια Μνήμη
- Cache Δίσκου
- Δίσκος
- Οπτικό μέσο
- Μαγνητικό μέσο



Θέλουμε Ταχύτητα?

- Είναι δυνατό να κατασκευάσουμε υπολογιστή που θα χρησιμοποιεί μόνο SRAM
- Θα είναι πραγματικά γρήγορος
- Δεν θα χρειαζόμαστε cache
 - Cache στη θέση της Cache?
- Θα ήταν πραγματικά πανάκριβος!!!!

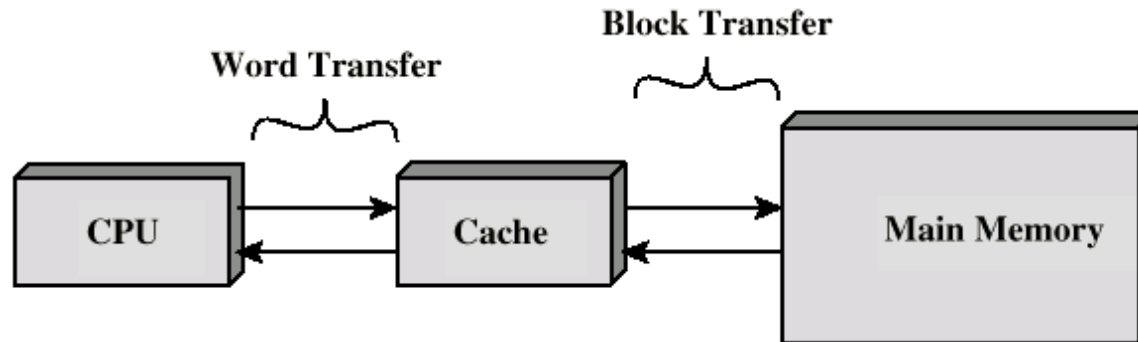


Η αρχή της Τοπικότητας της Αναζήτησης

- Κατά τη πορεία εκτέλεσης ενός προγράμματος, οι αναφορές στη μνήμη, τείνουν να ομαδοποιούνται
- π.χ. loops

Ενδιάμεση μνήμη - Cache

- Γρήγορη μνήμη μικρής χωρητικότητας
- Τοποθετείται μεταξύ της Κύριας Μνήμης και του Επεξεργαστή
- Σήμερα μπορεί να είναι μέρος του chip του επεξεργαστή





Η λειτουργία της Cache – Γενικά

- Η CPU στέλνει αίτημα για μεταφορά δεδομένων από μια θέση μνήμης
- Γίνεται έλεγχος στην cache για τα δεδομένα
- Αν υπάρχουν, διατίθενται γρήγορα και άμεσα από την cache
- Αν δεν υπάρχουν, μεταφέρεται το απαιτούμενο τμήμα της Κ.Μ. στην cache
- Στη συνέχεια έχουμε μεταφορά δεδομένων από την cache στην CPU
- Η Cache περιλαμβάνει ετικέτες για να αναγνωρίζει ποιο τμήμα της μνήμης βρίσκεται σε ποια γραμμή της cache.



Σχεδιασμός Cache

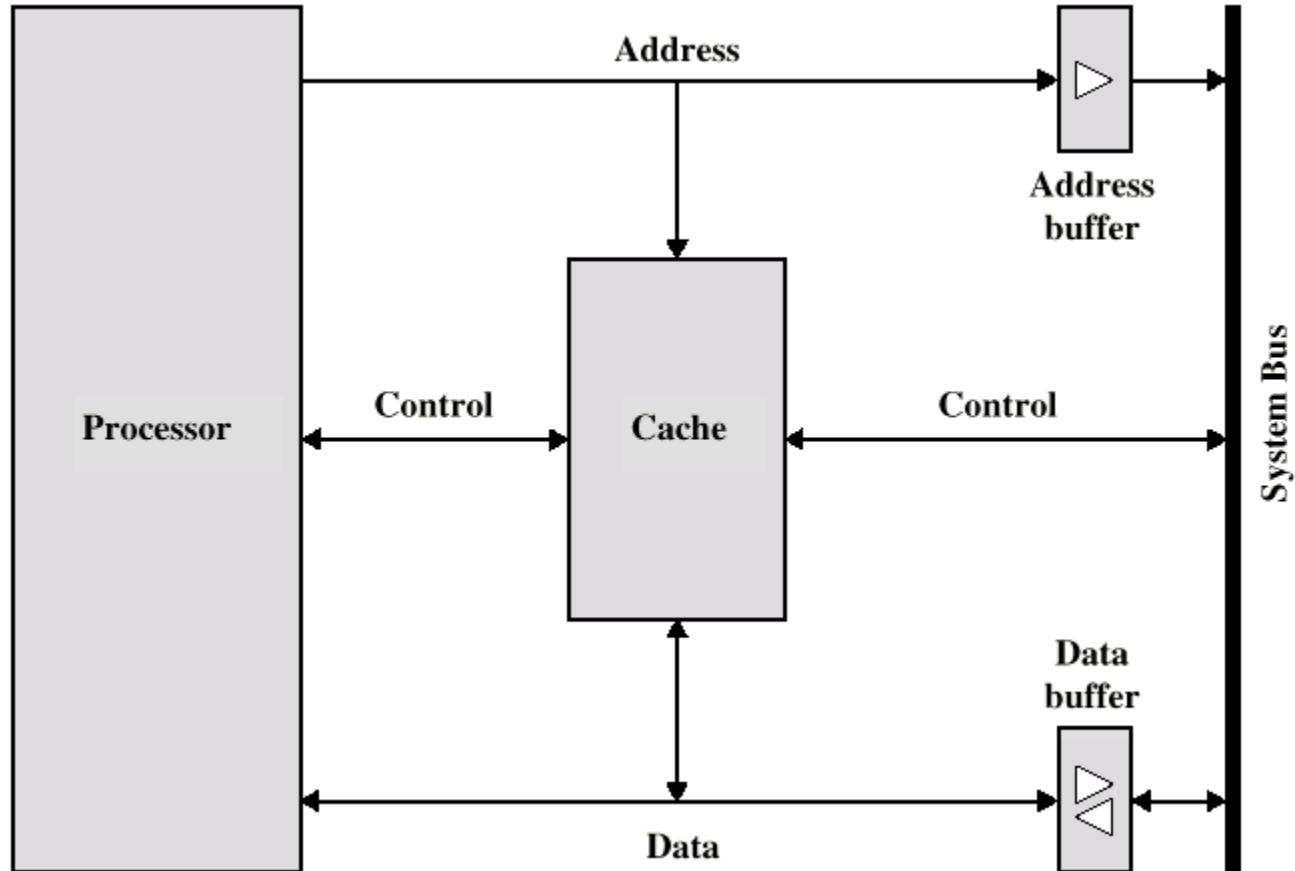
- Μέγεθος
- Λειτουργία Χαρτογράφησης
- Αλγόριθμος Αντικατάστασης
- Πολιτική Εγγραφής
- Μέγεθος γραμμής
- Αριθμός Μνημών Cache



Το μέγεθος μετράει..

- Κόστος
 - Κοστίζει η «πλεονάζουσα» cache..
- Ταχύτητα
 - Η «πλεονάζουσα» cache είναι γρηγορότερη (μέχρι ενός σημείου)
 - Ο έλεγχος της cache για την ύπαρξη των δεδομένων απαιτεί κάποιο χρόνο...

Τυπική Οργάνωση Cache





Η Λειτουργία Χαρτογράφησης

- Cache των 64kByte
- Cache block των 4 bytes
 - άρα η cache αποτελείται 16k (2^{14}) γραμμές των 4 bytes
- 16MBytes Κύρια Μνήμη
- 24 bit λέξη διεύθυνσης
 - ($2^{24}=16M$)



Απευθείας Χαρτογράφηση_{1/2}

- Κάθε τμήμα (block) της κύριας μνήμης αντιστοιχεί σε μια συγκεκριμένη γραμμή της cache
 - Άρα, αν ένα τμήμα είναι μέσα στην cache, πρέπει να βρίσκεται σε μια συγκεκριμένη θέση
- Η διεύθυνση διακρίνεται σε δύο μέρη
- Τα λιγότερο σημαντικά (LSB) w bits δείχνουν σε μια μοναδική λέξη



Απευθείας Χαρτογράφηση_{2/2}

- Τα περισσότερο σημαντικά (MSB) s bits δείχνουν ένα μοναδικό τμήμα μνήμης
- Τα s MSBs με την σειρά τους διακρίνονται σε ένα πεδίο γραμμών cache r και σε μια ετικέτα που περιλαμβάνει τα $s-r$ MSBs



Απευθείας Χαρτογράφηση

Δομή Διεύθυνσης

Ετικέτα s-r	Γραμμή r	Λέξη w
8	14	2

- 24 bit Διεύθυνση
- 2 bit δείκτης λέξης(4 byte block)
- 22 bit δείκτης block
 - 8 bit ετικέτα (=22-14)
 - 14 bit γραμμή
- Δεν υπάρχουν δύο Block στην ίδια γραμμή με την ίδια ετικέτα
- Έλεγχος περιεχομένων Cache με εύρεση γραμμής και έλεγχο ετικέτας



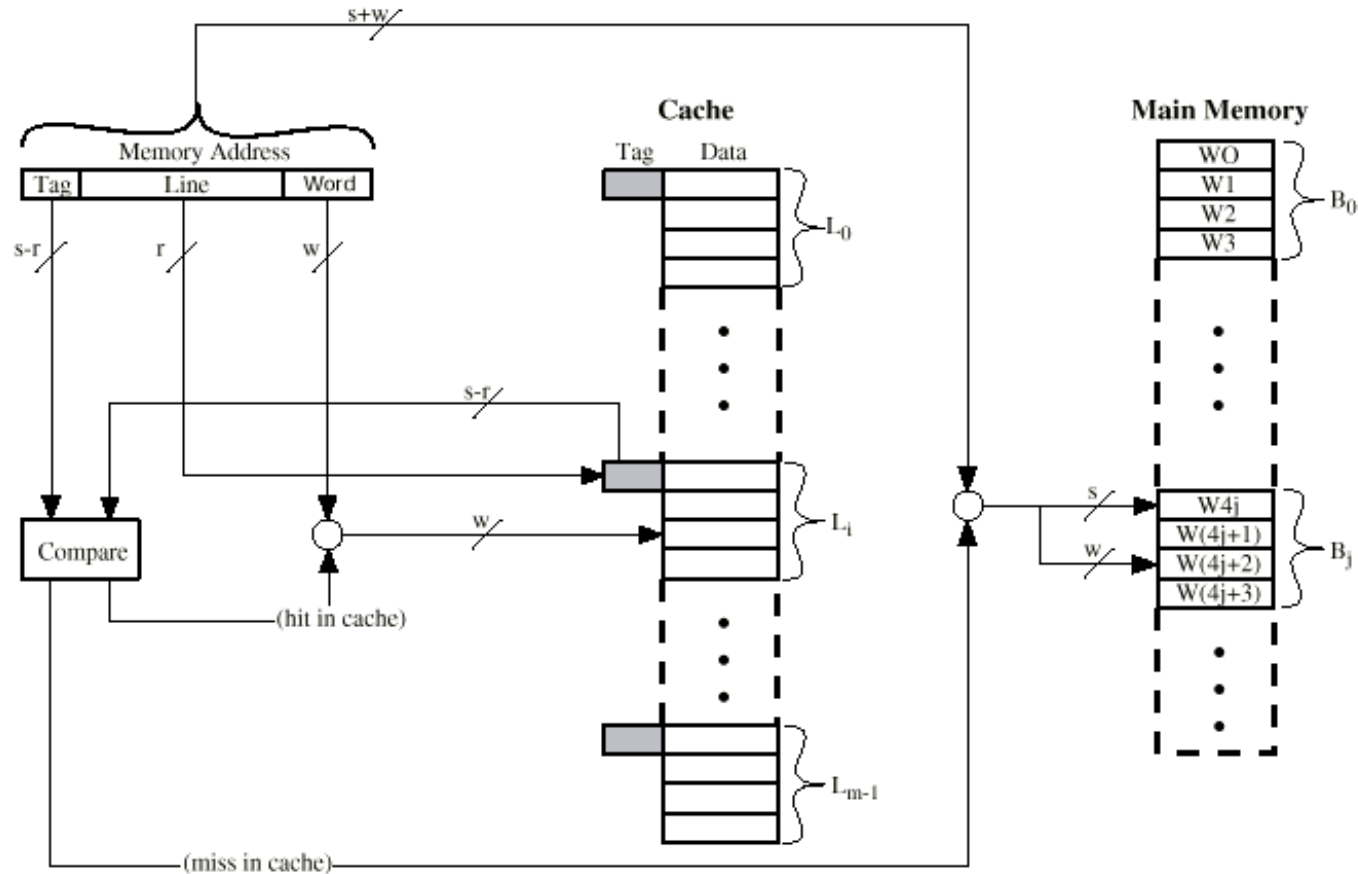
Απευθείας Χαρτογράφηση

Πίνακας γραμμών Cache

- Cache line Main Memory blocks held
- 0 0, m, 2m, 3m... 2^s-m
- 1 1,m+1, 2m+1... 2^s-m+1
- ...
- m-1 m-1, 2m-1,3m-1... 2^s-1

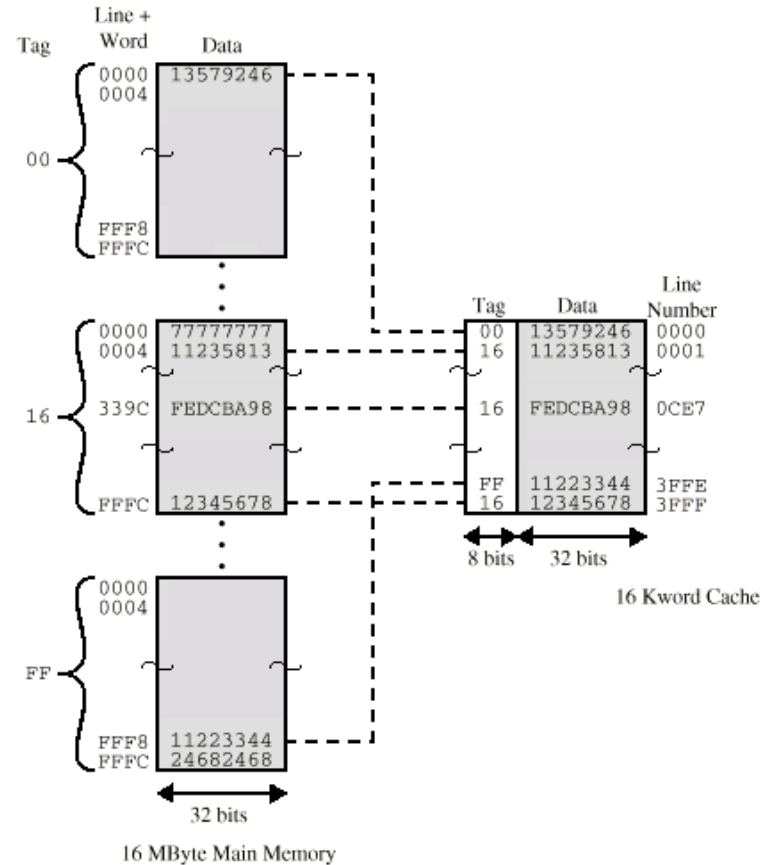


Απευθείας Χαρτογράφηση - Οργάνωση Cache





Απευθείας Χαρτογράφηση - Παράδειγμα





Απευθείας Χαρτογράφηση - Συνολικά

- Μήκος Διεύθυνσης = $(s + w)$ bits
- Αριθμός διευθυνσιοδοτούμενων μονάδων = 2^{s+w} λέξεις ή bytes
- Μέγεθος Τμήματος (Block) = Μέγεθος γραμμών = 2^w λέξεις ή bytes
- Αριθμός τμημάτων Κ.Μ. = $2^{s+w} / 2^w = 2^s$
- Αριθμός γραμμών στην cache = $m = 2^r$
- Μέγεθος ετικέτας = $(s - r)$ bits



Απευθείας Χαρτογράφηση – Πλεονεκτήματα & Μειονεκτήματα

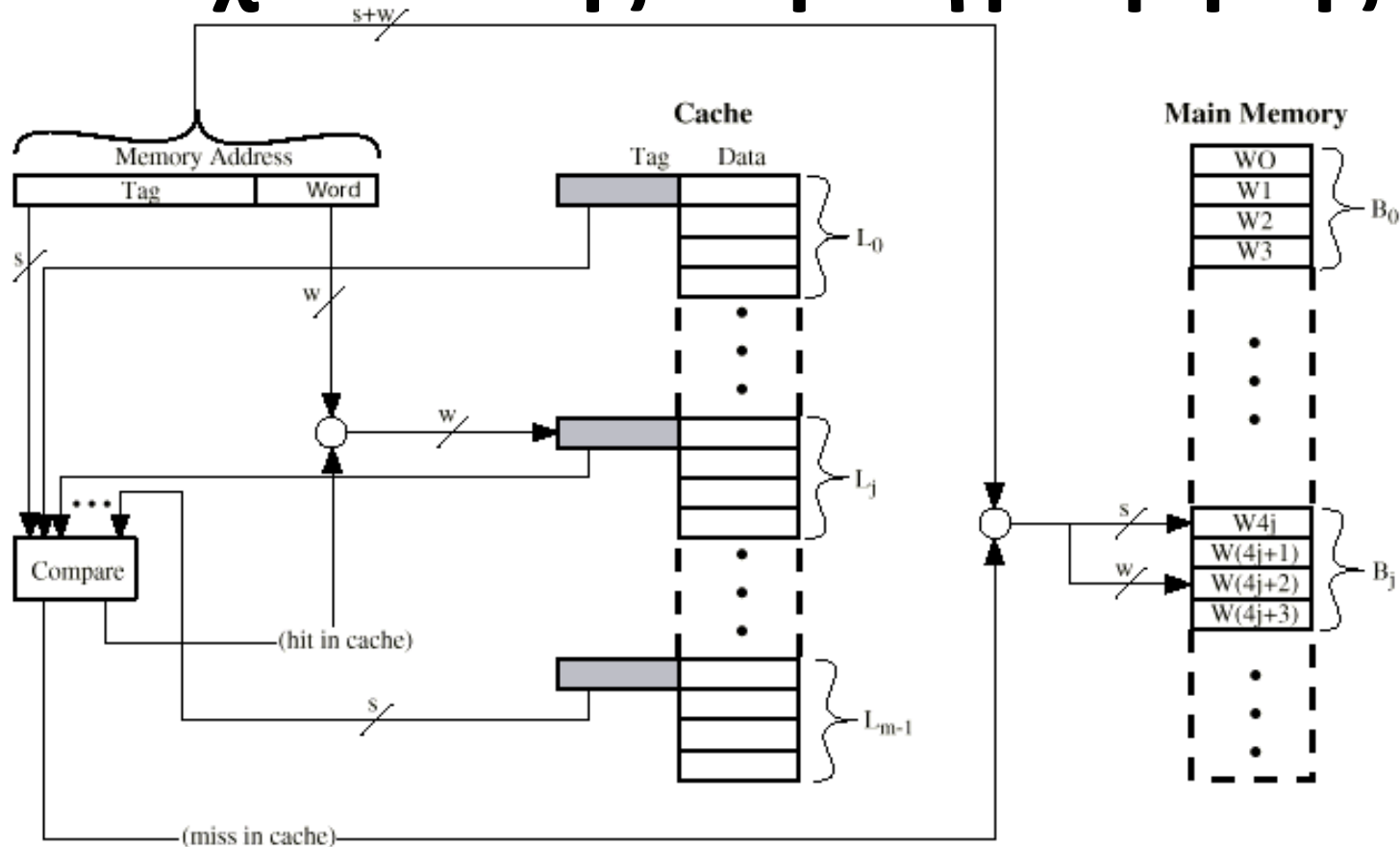
- Απλή
- Φθηνή υλοποίηση
- Καθορισμένη θέση για ένα καθορισμένο τμήμα
 - Αν ένα πρόγραμμα προσπελάζει συνεχώς δύο τμήματα που ανήκουν στην ίδια γραμμή της Cache τότε ο λόγος επιτυχών ευρέσεων θα είναι χαμηλός → μειωμένη απόδοση

Συσχετιστική Χαρτογράφηση

- Ένα τμήμα της Κ.Μ. μπορεί να «φορτωθεί» σε οποιαδήποτε γραμμή της cache
- Η διεύθυνση μνήμης διακρίνεται σε ετικέτα και λέξη
- Η ετικέτα αναγνωρίζει μοναδικά ένα τμήμα μνήμης
- Η ετικέτα κάθε γραμμής στην cache ελέγχεται για πιθανό ταίριασμα
- Ο έλεγχος της Cache αποδεικνύεται ακριβός

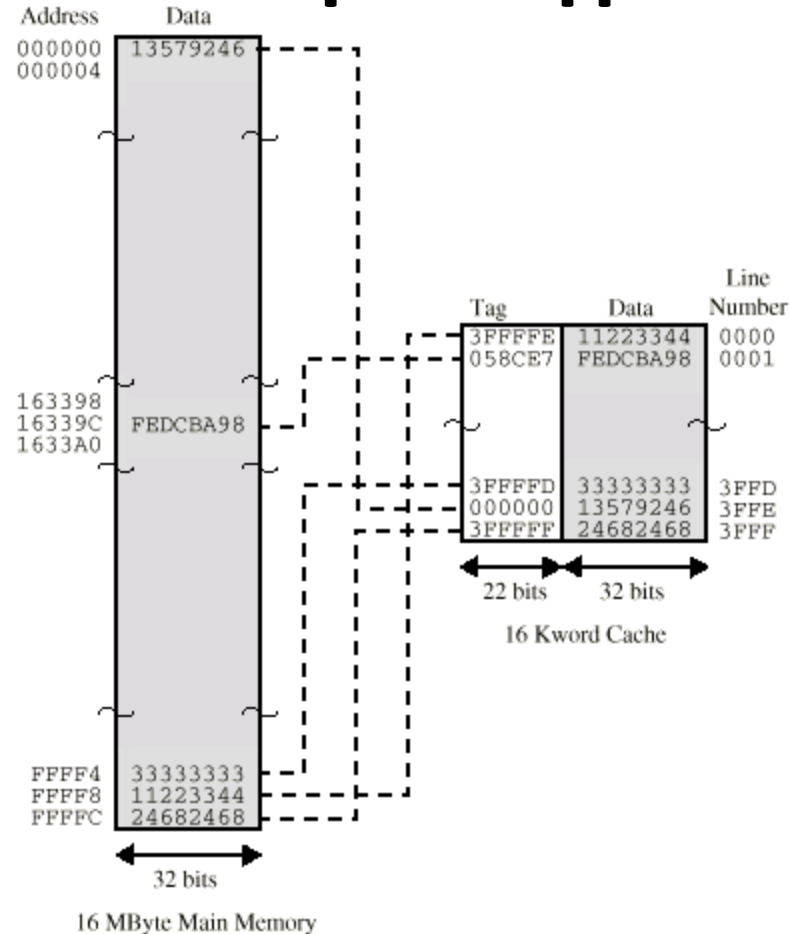


Οργάνωσης πλήρους Συσχετιστικής Χαρτογράφησης





Συσχετιστική Χαρτογράφηση - Παράδειγμα





Συσχετιστική Χαρτογράφηση – Δομή Διεύθυνσης

Tag 22 bit	Word 2 bit
------------	------------

- 22 bit ετικέτα αποθηκεύεται μαζί με 32 bit τμήμα δεδομένων
- Το πεδίο της ετικέτας συγκρίνεται με κάθε ετικέτα στην cache
- Τα LSB 2 bits διεύθυνσης αναγνωρίζουν ποια 8 bit λέξη απαιτείται από το 32 bit block δεδομένων
- e.g.

– Address	Tag	Data	Cache line
– FFFFFFFC	3FFFFFF	24682468	3FFF



Συσχετιστική Χαρτογράφηση - Συνολικά

- Μήκος διεύθυνσης = $(s + w)$ bits
- Αριθμός διευθυνσιοδοτούμενων μονάδων = 2^{s+w} λέξεις ή bytes
- Μέγεθος Block = Μέγεθος γραμμών = 2^w λέξεις ή bytes
- Αριθμός blocks στην Κ.Μ. = $2^{s+w}/2^w = 2^s$
- Αριθμός γραμμών στην cache = Ακαθόριστος
- Μέγεθος ετικέτας = s bits



Συσχετιστική Χαρτογράφηση Μέσω συνόλων

- Η Cache διαιρείται σε έναν αριθμό συνόλων
- Κάθε σύνολο περιέχει έναν αριθμό γραμμών
- Ένα δοσμένο block μπορεί να αντιστοιχηθεί σε κάθε γραμμή ενός δοσμένου συνόλου
 - π.χ. Το Block B μπορεί να τοποθετηθεί σε κάθε γραμμή του συνόλου i
- π.χ. 2 γραμμές
 - Συσχετιστική Χαρτογράφηση Μέσω Συνόλων Δύο Γραμμών
 - Ένα δοσμένο block μπορεί να είναι σε μια από τις δύο γραμμές ενός μόνο συνόλου

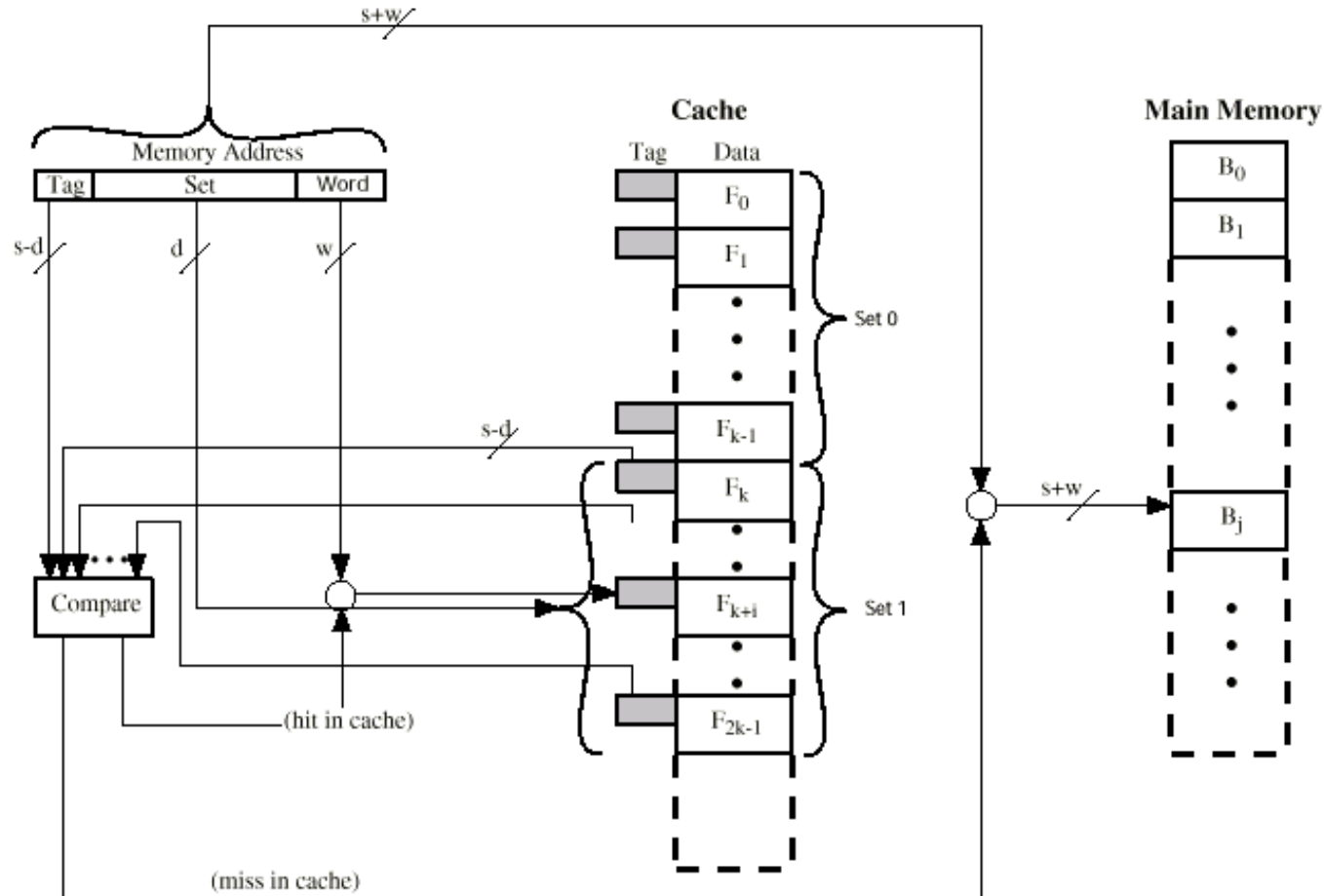


Συσχετιστική Χαρτογράφηση Μέσω συνόλων Δύο Γραμμών - Παράδειγμα

- 13 bit αριθμός συνόλων
- Ο αριθμός του Block στην Κ.Μ. Είναι modulo 2^{13}
- 000000, 00A000, 00B000, 00C000 ... ανήκουν στο ίδιο σύνολο



Οργάνωση Cache στη Συσχετιστική Χαρτογράφηση Μέσω συνόλων





Συσχετιστική Χαρτογράφηση Μέσω συνόλων – Δομή Διεύθυνσης

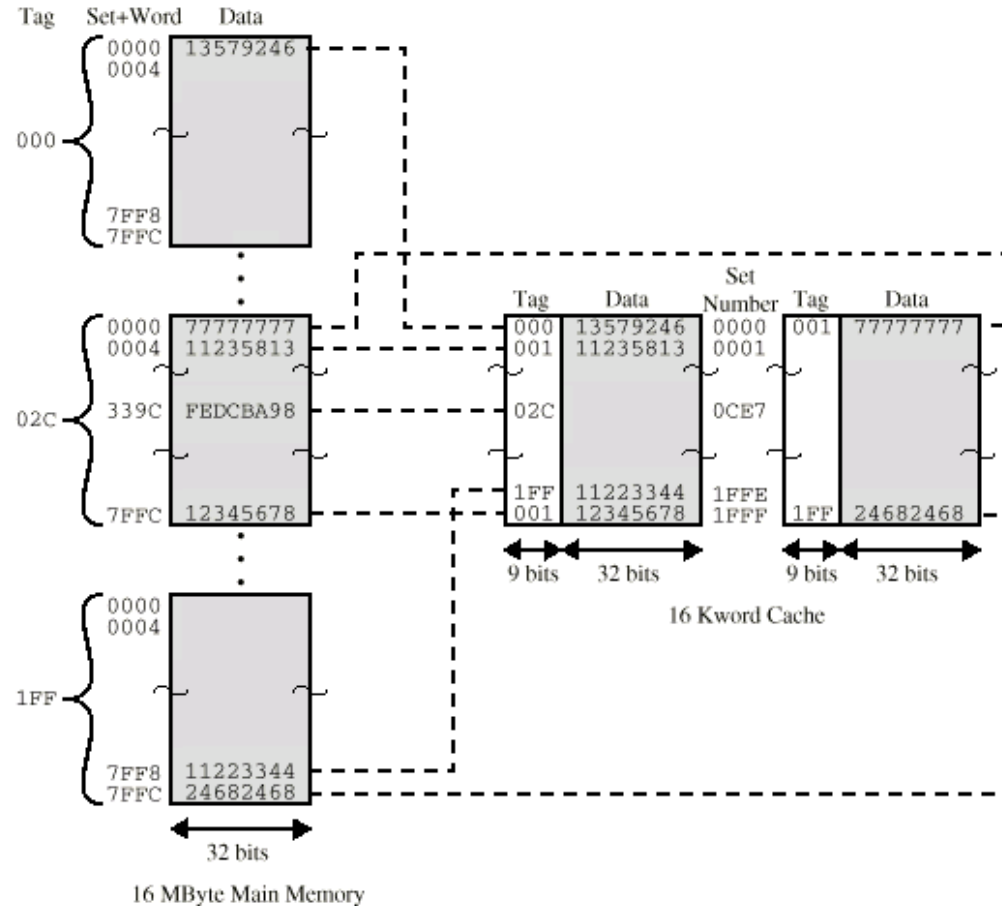
Tag 9 bit	Set 13 bit	Word 2 bit
-----------	------------	------------

- Χρησιμοποιούμε το πεδίο συνόλου για να αποφασίσουμε πιο cache set θα εξετάσουμε
- Συγκρίνουμε την ετικέτα για πετυχημένη εύρεση
- π.χ

– Address	Tag	Data	Set number
– 1FF 7FFC	1FF	12345678	1FFF
– 02C 7FF8	02C	11223344	1FFF



Συσχετιστική Χαρτογράφηση Μέσω συνόλων - Παράδειγμα





Συσχετιστική Χαρτογράφηση Μέσω συνόλων - Συνολικά

- Μήκος Διεύθυνσης = $(s + w)$ bits
- Αριθμός διευθυνσιοδοτούμενων μονάδων = 2^{s+w} λέξεις ή bytes
- Μέγεθος Block = Μέγεθος Γραμμής = 2^w λέξεις ή bytes
- Αριθμός των blocks στην Κ.Μ. = 2^d
- Αριθμός των γραμμών σε κάθε σύνολο = k
- Αριθμός Συνόλων = $v = 2^d$
- Αριθμός γραμμών στην cache = $kn = k * 2^d$
- Μέγεθος ετικέτας = $(s - d)$ bits



Αλγόριθμοι Αντικατάστασης_{1/2} Απευθείας Χαρτογράφηση

- Δεν υπάρχει επιλογή
- Κάθε τμήμα αντιστοιχεί σε μια συγκεκριμένη γραμμή
- Πρέπει να αντικατασταθεί η συγκεκριμένη γραμμή



Αλγόριθμοι Αντικατάστασης_{2/2}

Συσχετιστική & Συσχετιστική μέσω συνόλων

- Κυκλωματική υλοποίηση αλγορίθμου (γρήγορη)
- Least Recently used (LRU)
- π.χ. στη δύο γραμμών συσχετιστική
 - Ποιο από τα δύο block είναι lru?
- First in first out (FIFO)
 - Αντικατέστησε το block που βρίσκεται στην cache τον περισσότερο χρόνο
- Least frequently used
 - Αντικατέστησε το block που έχει ζητηθεί τις λιγότερες φορές
- Τυχαία



Πολιτική Εγγραφής

- Δεν πρέπει να γίνει εγγραφή σε ένα cache block εκτός και αν η Κ.Μ. είναι ενημερωμένη
- Πολλαπλές CPUs ίσως έχουν ξεχωριστές cache
- Απευθείας πρόσβαση των I/O στην μνήμη



Συνολική Εγγραφή

- Όλες οι εγγραφές γίνονται και στην Κ.Μ. και στην Cache
- Για πολλαπλές CPU γίνεται έλεγχος της Κ.Μ. για τυχόν επικαιροποιήσεις
- Αύξηση κίνησης δεδομένων
- Αργή διαδικασία εγγραφής



Επανεγγραφή

- Οι επικαιροποιήσεις γίνονται αρχικά μόνο στην cache
- Ένα bit επικαιροποίησης για κάθε γραμμή της cache ενεργοποιείται σε περίπτωση επικαιροποίησης
- Αν το block πρέπει να αντικατασταθεί, γίνεται εγγραφή στην Κ.Μ. μόνο αν το bit επικαιροποίησης είναι ενεργοποιημένο
- Οι υπόλοιπες caches καθίστανται άκυρες
- Οι I/O πρέπει να προσπελάσουν την κύρια μνήμη μέσω cache
- 15% των προσπελάσεων αφορούν στις εγγραφές



Pentium 4 Cache_{1/2}

- 80386 – Όχι on chip cache
- 80486 – 8k με 16 byte γραμμές and οργάνωση συσχετιστική 4 γραμμών
- Pentium – Δύο on chip L1 caches
 - Δεδομένων & Εντολών
- Pentium 4 – L1 caches
 - 8k bytes
 - 64 byte γραμμές
 - συσχετιστική 4 γραμμών

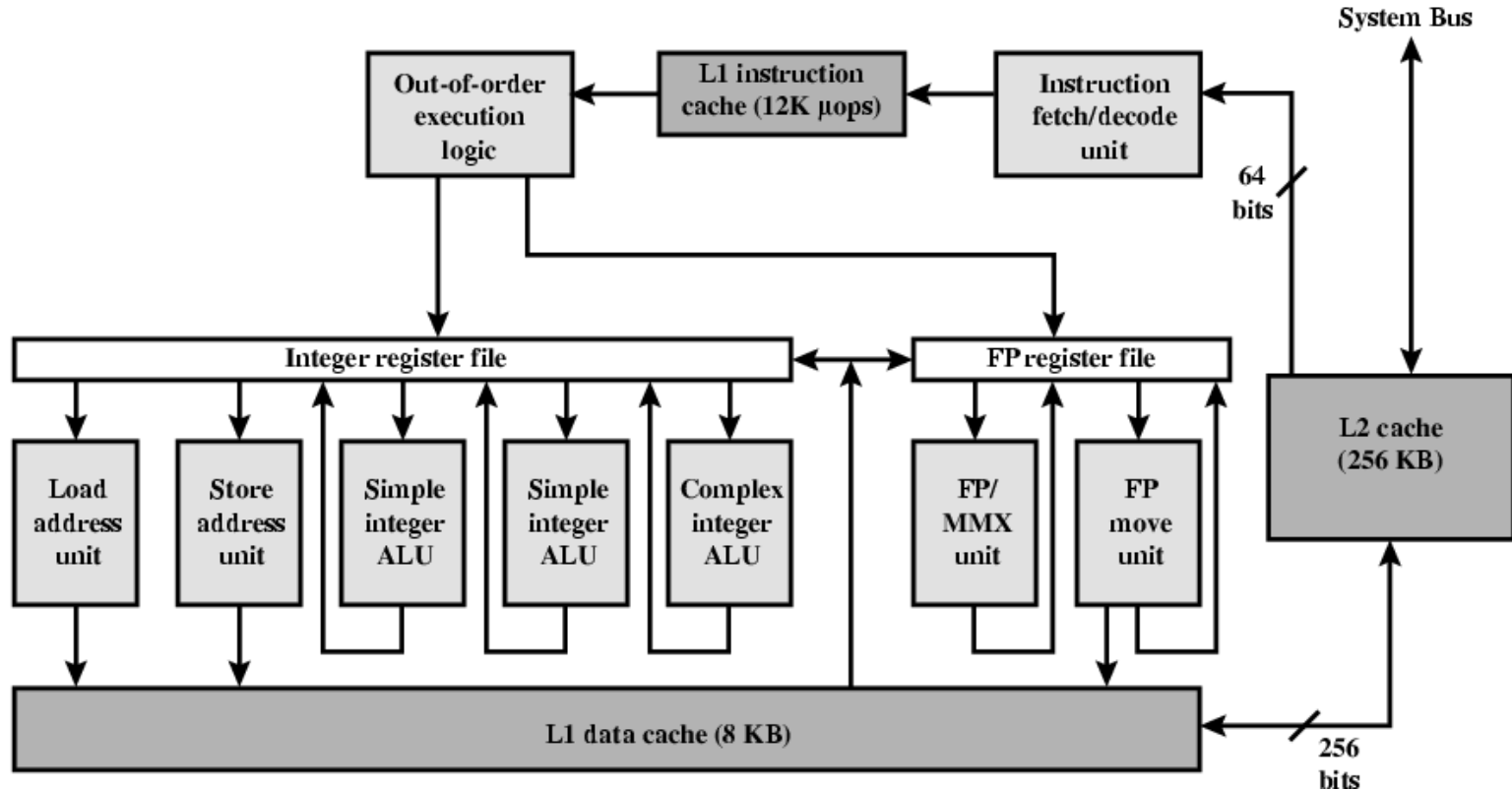


Pentium 4 Cache_{2/2}

- L2 cache
 - Τροφοδοσία και των δύο L1 caches
 - 256k
 - Γραμμές 128 byte
 - συσχετιστική 8 γραμμών



Pentium 4 Diagram (Simplified)





Pentium 4 Core Processor_{1/2}

- Fetch/Decode Unit
 - Fetches instructions from L2 cache
 - Decode into micro-ops
 - Store micro-ops in L1 cache
- Out of order execution logic
 - Schedules micro-ops
 - Based on data dependence and resources
 - May speculatively execute



Pentium 4 Core Processor_{2/2}

- Execution units
 - Execute micro-ops
 - Data from L1 cache
 - Results in registers
- Memory subsystem
 - L2 cache and systems bus



Pentium 4 Design Reasoning_{1/2}

- Decodes instructions into RISC like micro-ops before L1 cache
- Micro-ops fixed length
 - Superscalar pipelining and scheduling
- Pentium instructions long & complex
- Performance improved by separating decoding from scheduling & pipelining
 - (More later – ch14)



Pentium 4 Design Reasoning_{2/2}

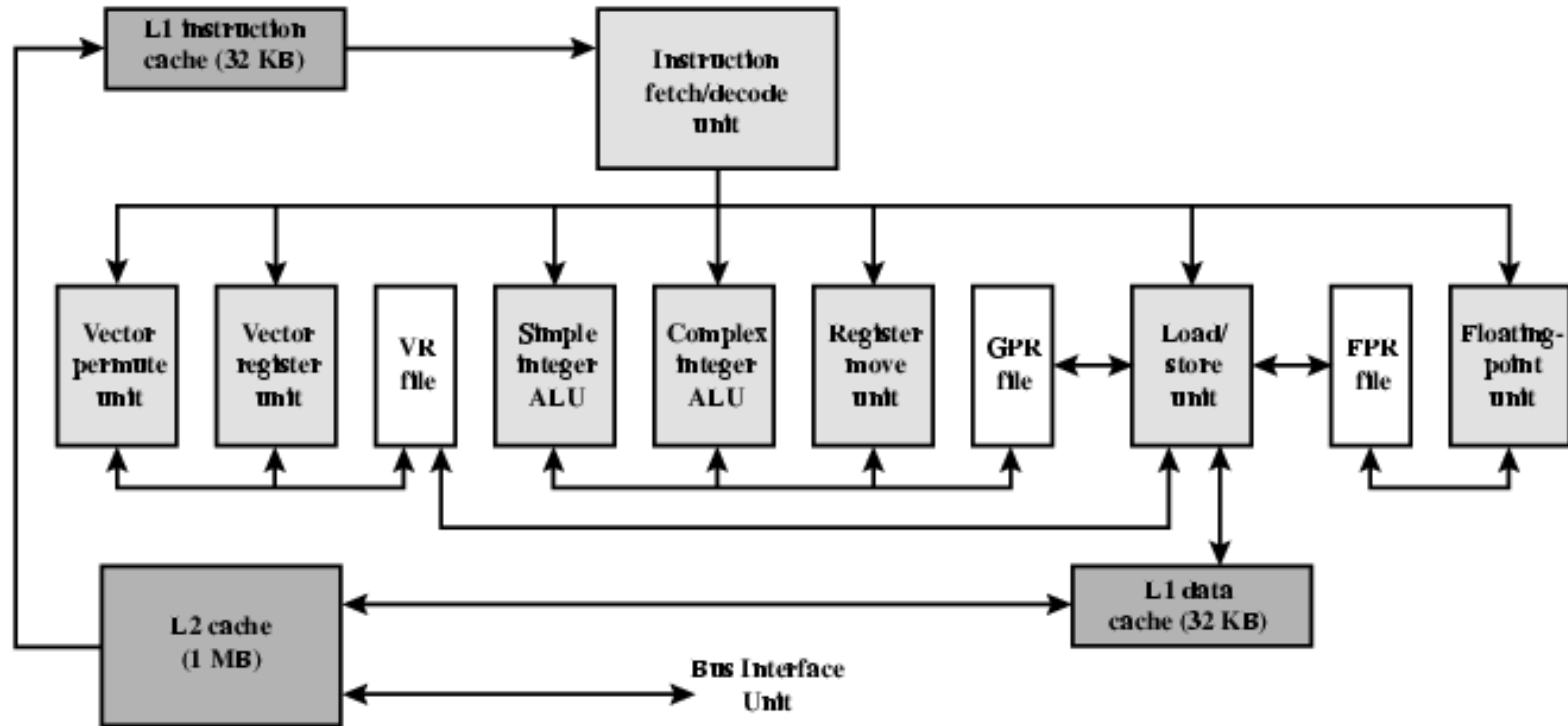
- Data cache is write back
 - Can be configured to write through
- L1 cache controlled by 2 bits in register
 - CD = cache disable
 - NW = not write through
 - 2 instructions to invalidate (flush) cache and write back then invalidate



Power PC Cache Organization

- 601 – single 32kb 8 way set associative
- 603 – 16kb (2 x 8kb) two way set associative
- 604 – 32kb
- 610 – 64kb
- G3 & G4
 - 64kb L1 cache (8 way set associative)
 - 256k, 512k or 1M L2 cache (two way set associative)

PowerPC G4





Comparison of Cache Sizes

Processor	Type	Year of Introduction	L1 cache ^a	L2 cache	L3 cache
IBM 360/85	Mainframe	1968	16 to 32 KB	—	—
PDP-11/70	Minicomputer	1975	1 KB	—	—
VAX 11/780	Minicomputer	1978	16 KB	—	—
IBM 3033	Mainframe	1978	64 KB	—	—
IBM 3090	Mainframe	1985	128 to 256 KB	—	—
Intel 80486	PC	1989	8 KB	—	—
Pentium	PC	1993	8 KB/8 KB	256 to 512 KB	—
PowerPC 601	PC	1993	32 KB	—	—
PowerPC 620	PC	1996	32 KB/32 KB	—	—
PowerPC G4	PC/server	1999	32 KB/32 KB	256 KB to 1 MB	2 MB
IBM S/390 G4	Mainframe	1997	32 KB	256 KB	2 MB
IBM S/390 G6	Mainframe	1999	256 KB	8 MB	—
Pentium 4	PC/server	2000	8 KB/8 KB	256 KB	—
IBM SP	High-end server/ supercomputer	2000	64 KB/32 KB	8 MB	—
CRAY MTA ^b	Supercomputer	2000	8 KB	2 MB	—
Itanium	PC/server	2001	16 KB/16 KB	96 KB	4 MB
SGI Origin 2001	High-end server	2001	32 KB/32 KB	4 MB	—

^a Two values separated by a slash refer to instruction and data caches

^b Both caches are instruction only; no data caches



Βιβλιογραφία

William Stallings. (2011). Αρχιτεκτονική & Οργάνωση Υπολογιστών. Εκδόσεις Τζιόλα.

Δημοσθένης Ε. Μπολανάκης. (2011). Αρχιτεκτονική Μικροϋπολογιστών: αρχές προγραμματισμού χαμηλού επιπέδου και εφαρμογές με το μικροελεγκτή M68HC908GP32, Εκδόσεις Σύγχρονη Παιδεία.

Tanenbaum Andrew S. (1995). Η Αρχιτεκτονική των Υπολογιστών μια δομημένη προσέγγιση Συγγραφέας Tanenbaum Andrew S. Εκδόσεις Κλειδάριθμος.

Luce T. (1991). Αρχιτεκτονική των Υπολογιστών. Εκδόσεις Τζιόλα.

Gilmore. (1999). Μικροεπεξεργαστές θεωρία και εφαρμογές. Εκδόσεις Τζιόλα.

Predko M. (2000). Προγραμματίζοντας τον Μικροελεγκτή PIC, Εκδόσεις Τζιόλα.

Μπεκάκος Μ.Π. (1994). Αρχιτεκτονική υπολογιστών & τεχνολογία παράλληλης επεξεργασίας, Εκδόσεις Σταμούλης.



Σημείωμα Αναφοράς

Copyright Τεχνολογικό Ίδρυμα Ηπείρου. Φώτης Βαρζιώτης.
Αρχιτεκτονική υπολογιστών.

Έκδοση: 1.0 Άρτα, 2015. Διαθέσιμο από τη δικτυακή
διεύθυνση:

<http://eclass.teiep.gr/OpenClass/courses/COMP115/>

Σημείωμα Αδειοδότησης

Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά Δημιουργού-Μη Εμπορική Χρήση-Όχι Παράγωγα Έργα 4.0 Διεθνές [1] ή μεταγενέστερη. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, Διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».



Ο δικαιούχος μπορεί να παρέχει στον αδειοδόχο ξεχωριστή άδεια να χρησιμοποιεί το έργο για εμπορική χρήση, εφόσον αυτό του ζητηθεί.

[1] <http://creativecommons.org/licenses/by-nc-nd/4.0/deed.el>



Τέλος Ενότητας

Επεξεργασία: Ευάγγελος Καρβούνης
Άρτα, 2015



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ



Τέλος Ενότητας

Ενδιάμεση Μνήμη (Cache Memory)



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης

