



Ελληνική Δημοκρατία
Τεχνολογικό Εκπαιδευτικό
Ίδρυμα Ηπείρου

Αρχιτεκτονική υπολογιστών

Ενότητα 7 : Είσοδος/Εξοδος

Φώτης Βαρζιώτης



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



Τμήμα Μηχανικών Πληροφορικής Τ.Ε

Αρχιτεκτονική υπολογιστών

Ενότητα 7 : Είσοδος/Εξοδος

Φώτης Βαρζιώτης

Καθηγητής Εφαρμογών

Άρτα, 2015





Άδειες Χρήσης

- Το παρόν εκπαιδευτικό υλικό υπόκειται σε άδειες χρήσης Creative Commons.
- Για εκπαιδευτικό υλικό, όπως εικόνες, που υπόκειται σε άλλου τύπου άδειας χρήσης, η άδεια χρήσης αναφέρεται ρητώς.





Χρηματοδότηση

- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «**Εκπαίδευση και Δια Βίου Μάθηση**» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο ΤΕΙ Ηπείρου**» έχει χρηματοδοτήσει μόνο τη αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου του διδάσκοντα.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ



Προβλήματα σχετικά με Input/Output

- Μεγάλη ποικιλία περιφερειακών
 - Που μεταφέρουν διάφορες ποσότητες δεδομένων
 - Σε διάφορες ταχύτητες
 - Σε διαφορετικά Format
- Όλα είναι πιο αργά από την CPU και την RAM
- Απαιτούνται υπομονάδες I/O

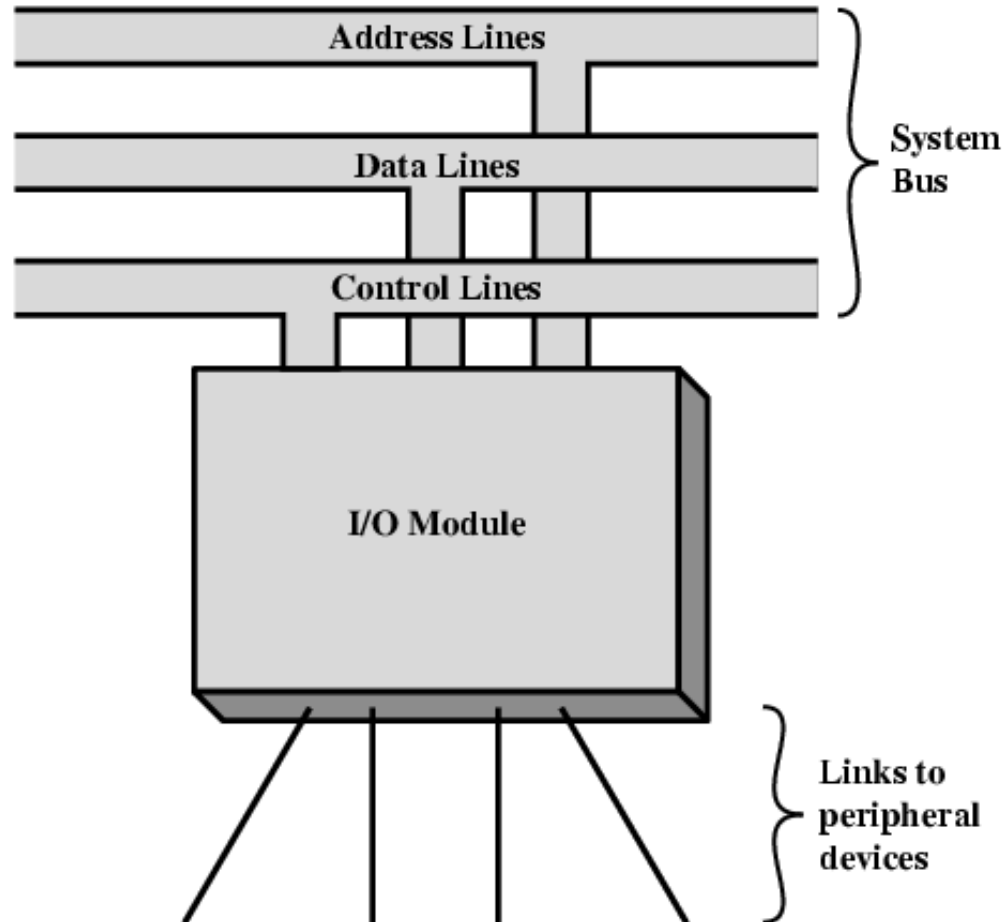


Υπομονάδα Input/Output

- Διεπαφή σε CPU και μνήμη
- Διεπαφή σε ένα ή περισσότερα περιφερειακά



Αφαιρετικό Μοντέλο Υπομονάδας I/O



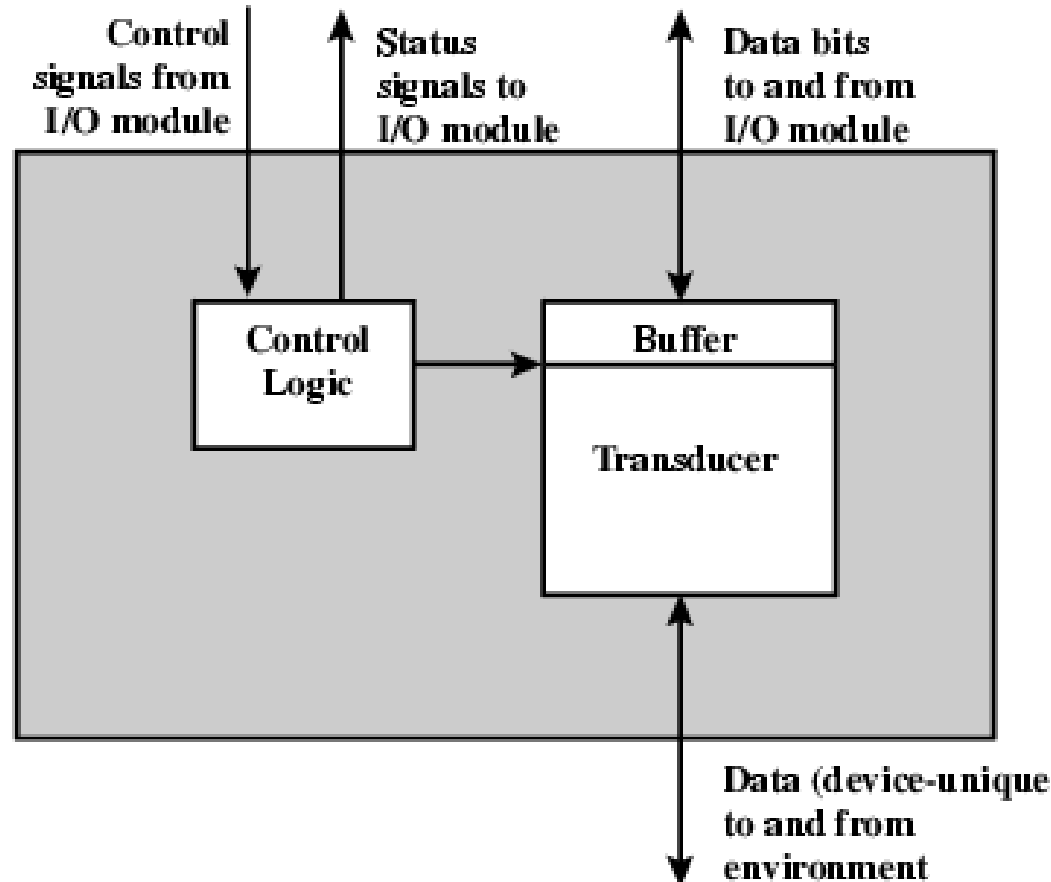


Εξωτερικές Συσκευές

- Αναγνώσιμες από Ανθρώπους
 - Οθόνη, εκτυπωτής, πληκτρολόγιο
- Αναγνώσιμες από μηχανές
 - Επίβλεψη και έλεγχος εξοπλισμού
- Επικοινωνία
 - Modem
 - Network Interface Card (NIC)

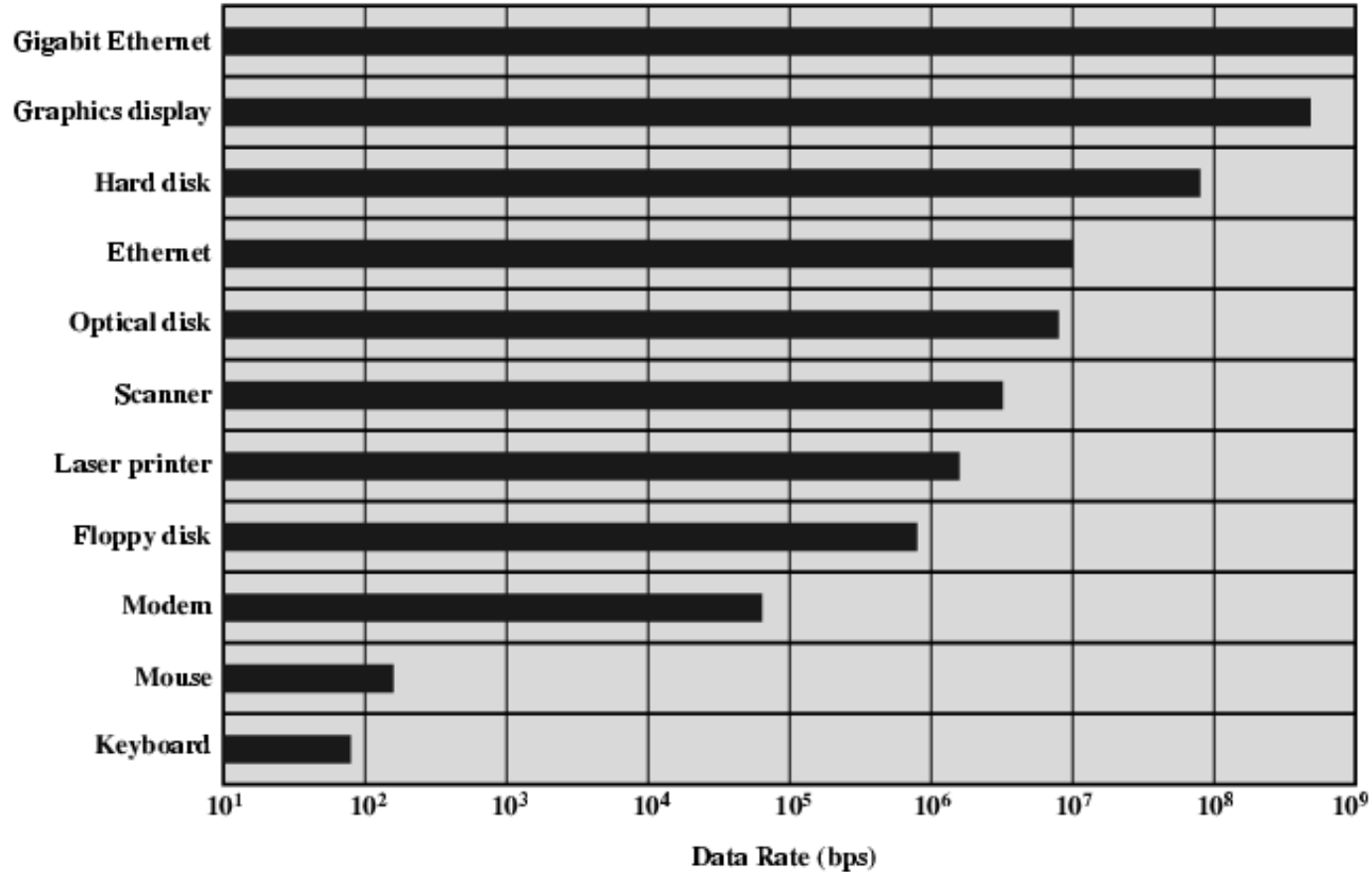


Διάγραμμα Εξωτερικής Συσκευής





Τυπικοί Ρυθμοί Μετάδοσης I/O Δεδομένων





Λειτουργίες Υπομονάδας I/O

- Έλεγχος και Χρονισμός
- Επικοινωνία με την CPU
- Επικοινωνία με την συσκευή
- Προσωρινή αποθήκευση δεδομένων
- Ανίχνευση σφάλματος

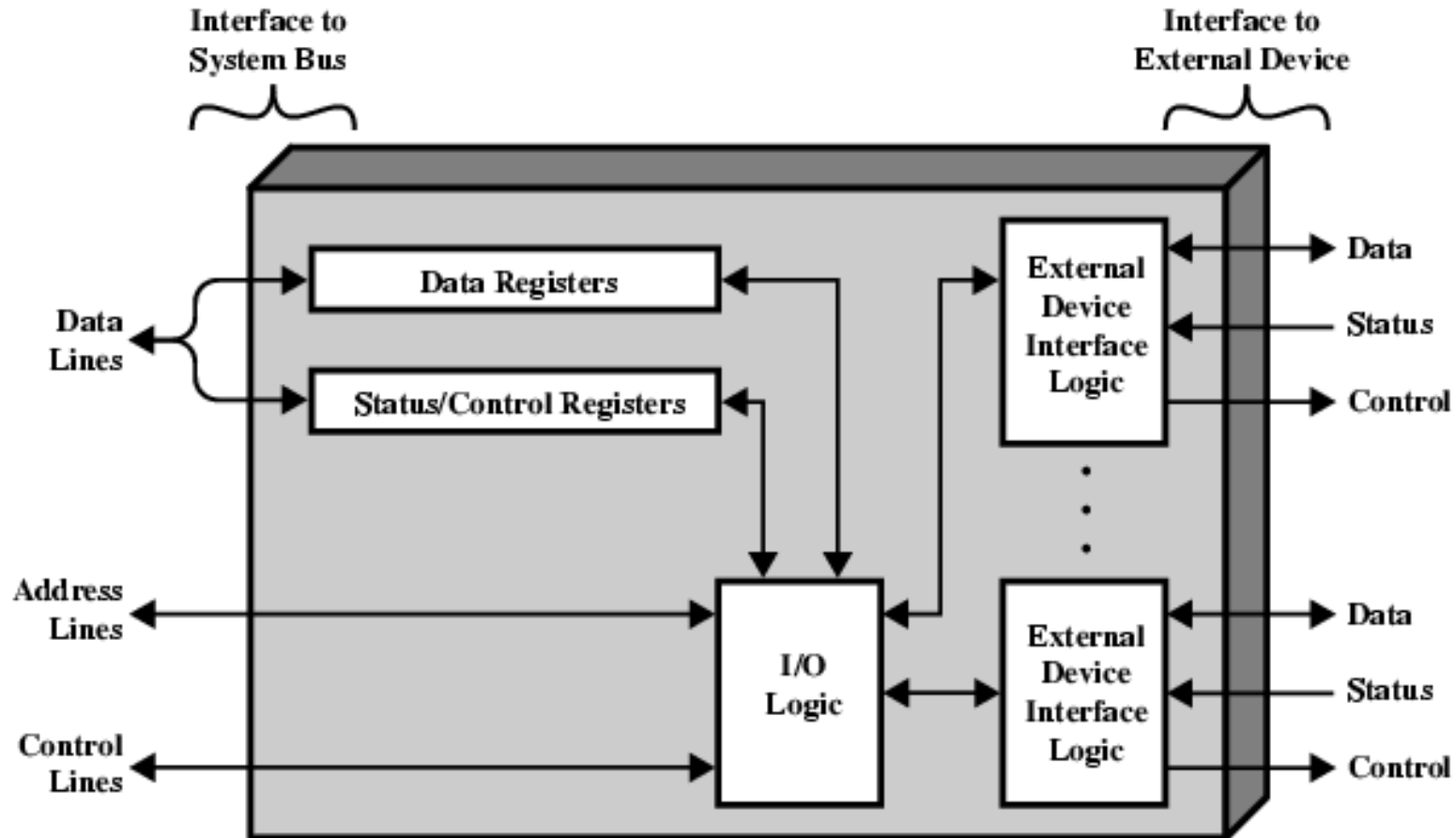


Βήματα I/O

- Η CPU ελέγχει μέσω της υπομονάδας I/O την κατάσταση της συσκευής
- Η υπομονάδα επιστρέφει την κατάσταση της συσκευής
- Αν είναι έτοιμη, η CPU ζητά την μεταφορά δεδομένων
- Η υπομονάδα I/O λαμβάνει δεδομένα από την συσκευή
- Η υπομονάδα I/O μεταφέρει τα δεδομένα στη CPU



Σχηματικό υπομονάδας I/O





Αποφάσεις για την Υπομονάδα I/O

- Εμφάνιση ή απόκρυψη των χαρακτηριστικών της συσκευής στη CPU
- Υποστήριξη πολλαπλών ή απλής συσκευής
- Ανεξάρτητος έλεγχος λειτουργιών συσκευής ή έλεγχος από την CPU
- Επίσης αποφάσεις σχετικές με O/S
 - π.χ. Το Unix μεταχειρίζεται τα πάντα σαν αρχείο



Τεχνικές Input Output

- I/O μέσω προγραμματισμού
- I/O με χρήση διακοπών
- Direct Memory Access (DMA)



I/O μέσω προγραμματισμού

- Η CPU έχει άμεσο έλεγχο της I/O
 - Περιοδικός έλεγχος κατάστασης
 - Εντολές Read/write
 - Μεταφορά δεδομένων
- Η CPU τίθεται σε αναμονή μέχρι να ολοκληρώσει την λειτουργία της η υπομονάδα I/O
- Σπατάλη χρόνου για τη CPU



I/O μέσω προγραμματισμού - αναλυτικά

- Η CPU στέλνει αίτηση λειτουργίας I/O
- Η υπομονάδα I/O εκτελεί την λειτουργία
- Η υπομονάδα I/O θέτει τα bits κατάστασης
- Η CPU ελέγχει τα bits κατάστασης περιοδικά
- Η υπομονάδα I/O δεν ενημερώνει άμεσα την CPU
- Η υπομονάδα I/O δεν διακόπτει την CPU
- Η CPU μπορεί να είναι σε θέση αναμονής ή να επιστρέψει σε μεταγενέστερο χρόνο



Εντολές I/O

- Η CPU παράγει διευθύνσεις
 - Αναγνώριση υπομονάδας (& συσκευής if >1/ υπομονάδα)
- Η CPU παράγει εντολές
 - Ελέγχου – Καθοδηγεί τις ενέργειες της υπομονάδας
 - π.χ. περιστροφή δίσκου
 - Τεστ – Έλεγχος κατάστασης
 - π.χ. Παροχή ρεύματος; Σφάλματα;
 - Ανάγνωσης/Εγγραφής
 - Η υπομονάδα I/O μεταφέρει δεδομένα μέσω buffer από / προς τη συσκευή



Διευθυνσιοδότηση I/O συσκευών

- Στην περίπτωση του I/O μέσω προγραμματισμού ακολουθείται παρόμοια μέθοδο με αυτή της μνήμης (CPU viewpoint)
- Κάθε συσκευή λαμβάνει μια ξεχωριστή διεύθυνση
- Οι εντολές της CPU περιέχουν την διεύθυνση



Χαρτογράφηση I/O_{1/2}

- I/O μέσω χαρτογράφησης μνήμης
 - Συσκευές και μνήμη μοιράζονται τον χώρο των διευθύνσεων
 - Η I/O ακολουθεί το read/write στη μνήμη
 - Δεν υπάρχουν εξειδικευμένες εντολές I/O
 - Διαθέσιμες οι εντολές προσπέλασης στη μνήμη



Χαρτογράφηση I/O_{2/2}

- I/O με απομόνωση
 - Ξεχωριστός χώρος διευθύνσεων
 - Απαιτείται επιλογέας για γραμμές I/O ή μνήμης
 - Εξειδικευμένες εντολές I/O
 - Περιορισμένο σύνολο εντολών



I/O με χρήση διακοπών

- Ξεπερνά το πρόβλημα της αναμονής της CPU
- Δεν απαιτείται περιοδικός έλεγχος της συσκευής από την CPU
- Η υπομονάδα I/O στέλνει διακοπή όταν ολοκληρώσει την εργασία της



I/O με χρήση διακοπών

Βασική λειτουργία

- Η CPU παράγει μια εντολή ανάγνωσης
- Η υπομονάδα I/O λαμβάνει δεδομένα από το περιφερειακό, ενώ η CPU εκτελεί άλλες εργασίες
- Η υπομονάδα I/O διακόπτει την CPU
- Η CPU ζητά τα δεδομένα
- Η υπομονάδα I/O μεταφέρει τα δεδομένα



Λειτουργία από την άποψη της CPU

- Παραγωγή εντολής ανάγνωσης
- Εκτέλεση άλλων εργασιών
- Έλεγχος για διακοπή μετά από κάθε κύκλο εντολής
- Αν υπάρχει διακοπή:-
 - Αποθήκευση υπάρχουσας κατάστασης
 - Επεξεργασία διακοπής



Ζητήματα Σχεδιασμού

- Πως αναγνωρίζεται η υπομονάδα I/O που στέλνει την διακοπή?
- Πως ανταπεξέρχεται το σύστημα σε πολλαπλές διακοπές?
 - π.χ. Ένας χειριστής διακοπής λαμβάνει διακοπή..



Αναγνώριση Υπομονάδας I/O σε Διακοπή_{1/2}

- Διαφορετικές γραμμές για κάθε υπομονάδα
 - Μη πρακτική
- Επιλογή μέσω λογισμικού
 - Η CPU ελέγχει όλες τις υπομονάδες με την σειρά
 - Αργή



Αναγνώριση Υπομονάδας I/O σε Διακοπή_{2/2}

- Αλυσιδωτή εξέταση ή Επιλογή μέσω υλικού
 - Στέλνεται σήμα αναγνώρισης στην αλυσίδα
 - Η υπεύθυνη υπομονάδα απαντά με ένα διάνυσμα
 - Η CPU χρησιμοποιεί το διάνυσμα για αναγνώριση της συσκευής

- Διαιτησία διαύλου
 - Η υπομονάδα πρέπει να αποκτήσει τον έλεγχο του διαύλου πριν στείλει σήμα διακοπής
 - π.χ. PCI & SCSI



Πολλαπλές Διακοπές

- Κάθε γραμμή διακοπής έχει τη δική της προτεραιότητα
- Γραμμές με μεγαλύτερη προτεραιότητα μπορούν να διακόπτουν γραμμές μικρότερης προτεραιότητας
- Η διαιτησία διαύλου μπορεί να χρησιμοποιεί σχέδιο προτεραιότητας



Παραδείγματα – PC Δίαυλος

- Ο 80x86 έχει μια γραμμή διακοπής
- Τα συστήματα 8086 χρησιμοποιούν τον ελεγκτή διακοπών 8259A
- Ο 8259A έχει 8 γραμμές διακοπής



Ακολουθία γεγονότων

- Ο 8259Α δέχεται μια διακοπή
- Ο 8259Α αποφασίζει σχετικά με την προτεραιότητα
- Ο 8259Α σηματοδοτεί τον 8086 (ενεργοποιεί την γραμμή INTR)
- Η CPU στέλνει αναγνώριση
- Ο 8259Α εισάγει το επιθυμητό διάνυσμα στον δίαυλο δεδομένων
- Η CPU επεξεργάζεται την διακοπή

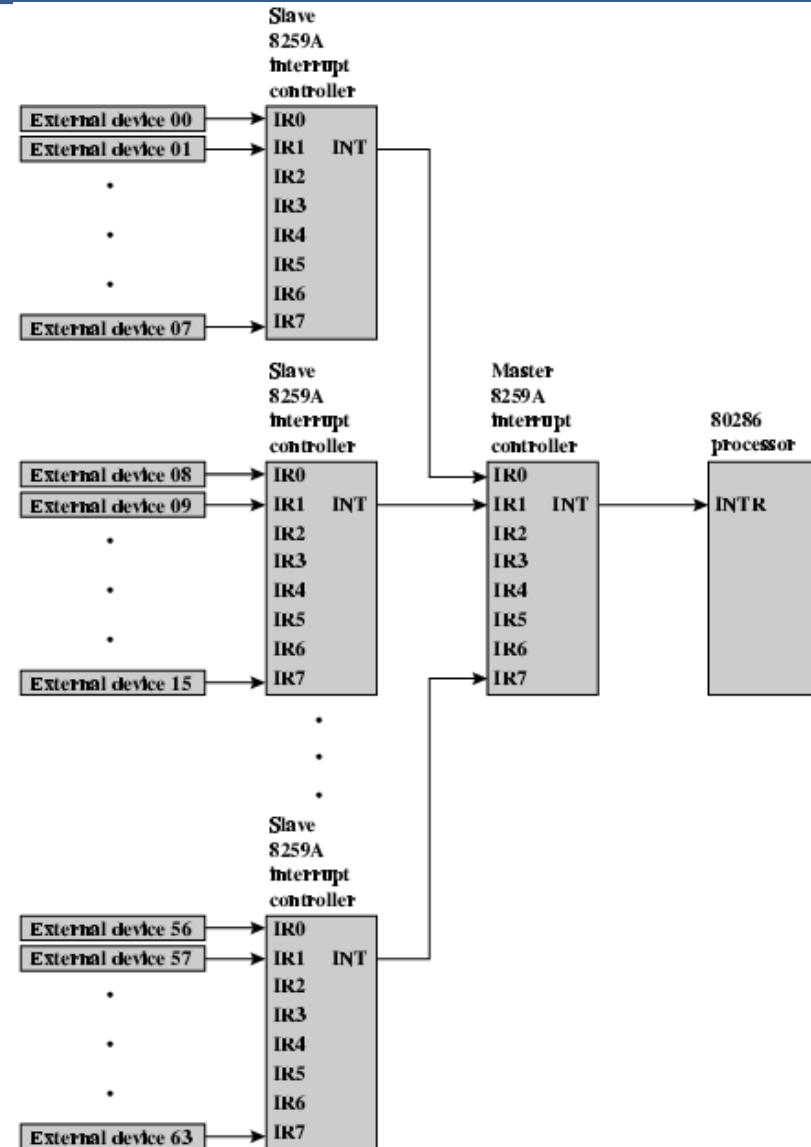


Σύστημα διακοπών στο δίαυλο ISA

- Ο δίαυλος ISA χρησιμοποιεί αλυσιδωτά δύο 8259A
- Συνδέονται μέσω της γραμμής διακοπής 2
- Δίνει 15 γραμμές
 - 16 γραμμές μείον μια για σύνδεση
- Η IRQ 9 χρησιμοποιείται για να επανα-δρομολογήσει οτιδήποτε προσπαθεί να χρησιμοποιήσει την IRQ 2
 - Συμβατότητα προς κάθε κατεύθυνση
- Ενσωματωμένο σε chip set



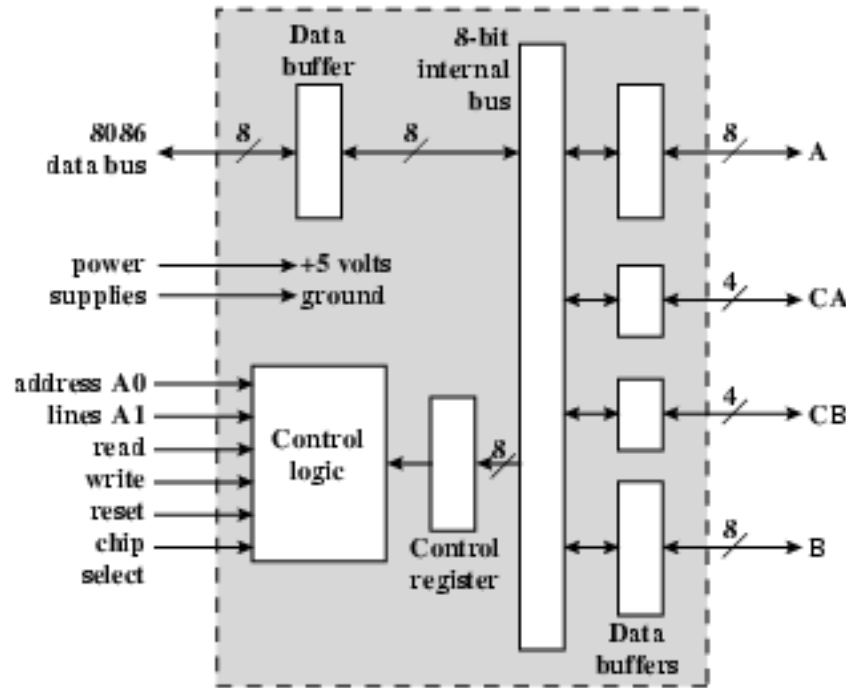
82C59A Ελεγκτής Διακοπών



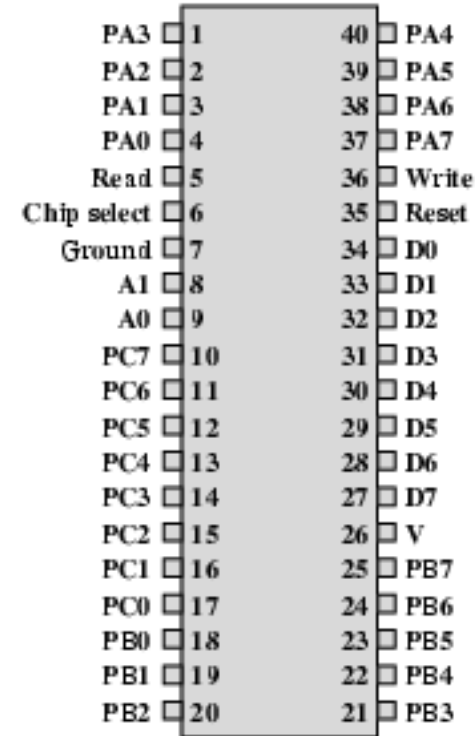


Intel 82C55A

Προγραμματιζόμενη διεπαφή περιφερειακών



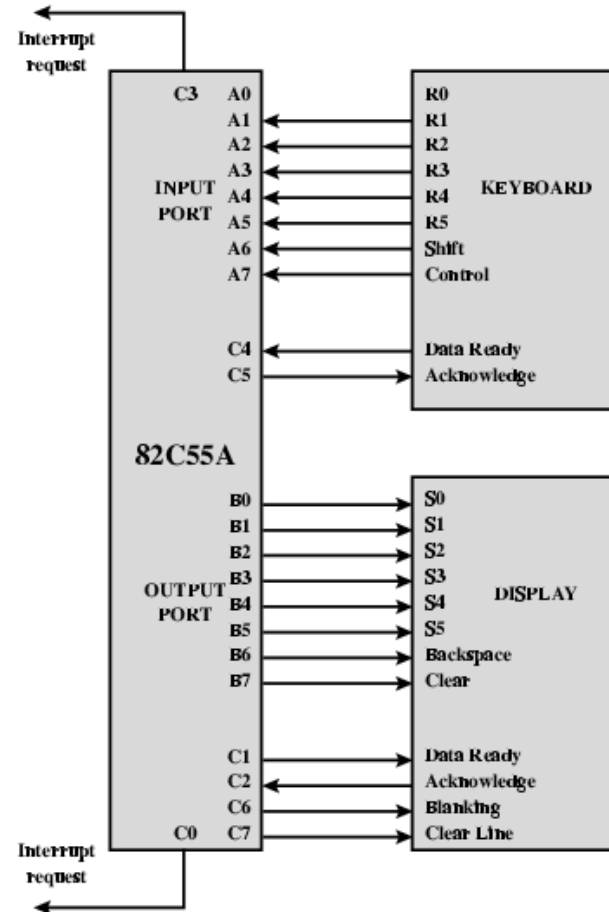
(a) Block diagram



(b) Pin layout



Χρήση του 82C55A για έλεγχο πληκτρολογίου / οθόνης





Direct Memory Access

- Η λειτουργία I/O μέσω προγραμματισμού ή διακοπών απαιτεί την ενεργή παρέμβαση της CPU
 - Ο ρυθμός μεταφοράς δεδομένων είναι περιορισμένος
 - Η CPU καταναλώνει πόρους
- Η απάντηση είναι η DMA

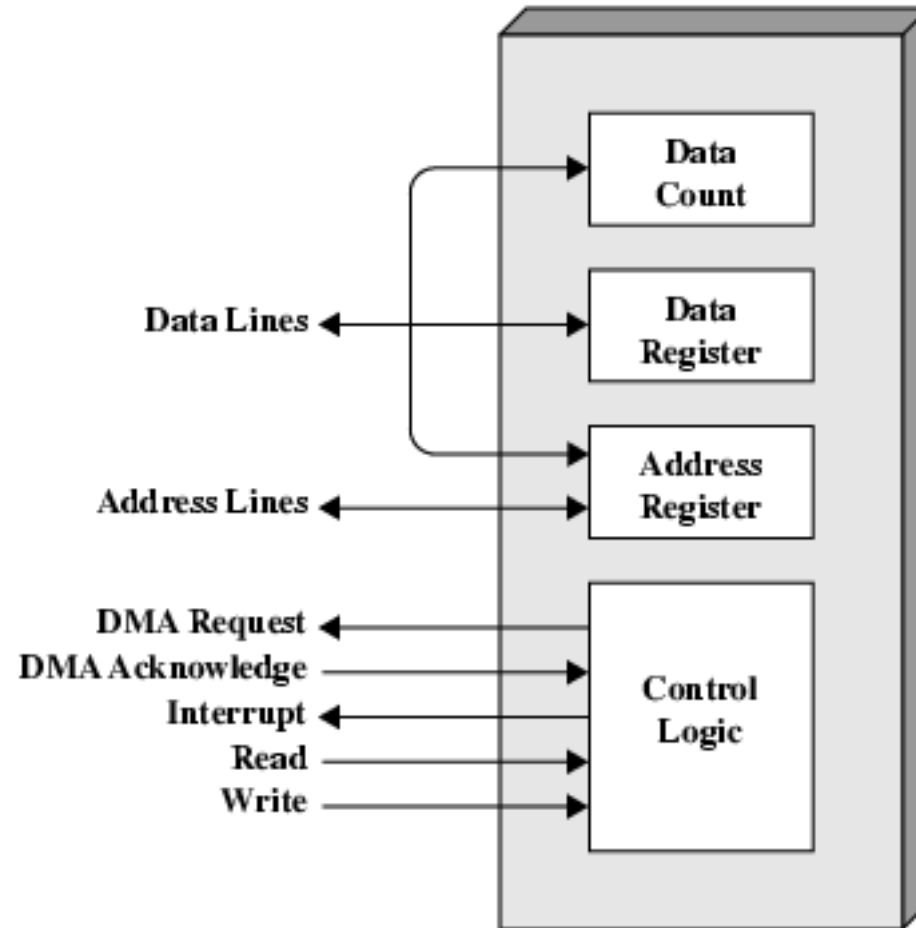


DMA

- Πρόσθετη μονάδα (hardware) στο δίαυλο
- Ένας ελεγκτής DMA αναλαμβάνει τις λειτουργίες I/O απελευθερώνοντας τη CPU



Σχηματικό μονάδας DMA





Λειτουργία της DMA

- Η CPU ενημερώνει τον ελεγκτή DMA:-
 - Read/Write
 - Διεύθυνση συσκευής
 - Εναρκτήρια διεύθυνση δεδομένων
 - Ποσότητα δεδομένων για μεταφορά
- Η CPU εκτελεί άλλες εργασίες
- Ο ελεγκτής DMA διαχειρίζεται την μεταφορά
- Ο ελεγκτής DMA αποστέλλει διακοπή με την ολοκλήρωση των εργασιών



DMA Μεταφορά Κλοπή Κύκλου

- Ο ελεγκτής DMA παίρνει τον έλεγχο του διαύλου για έναν κύκλο
- Μεταφέρει μια λέξη δεδομένων
- Δεν είναι Διακοπή (Η CPU δεν αλλάζει κατάσταση)
- Η λειτουργία της CPU αναστέλλεται ακριβώς πριν την προσπέλαση του διαύλου
 - π.χ. πριν έναν τελεστή, ή ανάκτηση δεδομένων ή εγγραφή δεδομένων
- Καθυστερεί την CPU αλλά όχι τόσο σε σχέση με την μεταφορά από την CPU

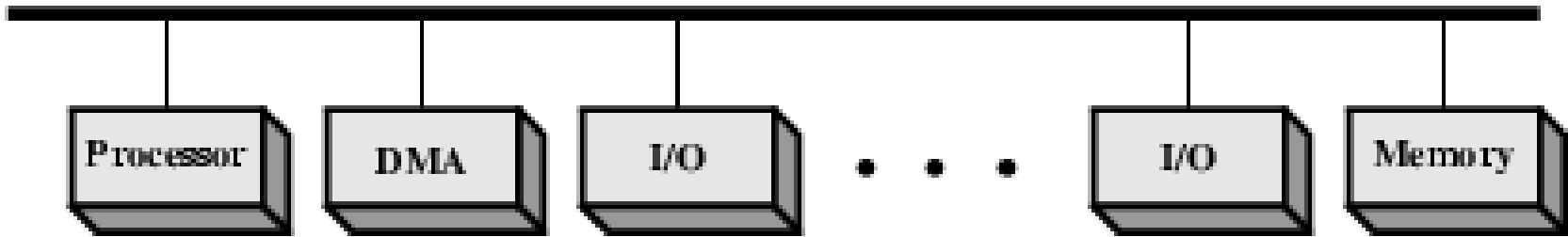


Ερώτημα

- Τι επίδραση έχει η DMA στην ενδιάμεση μνήμη?
- Hint: Ποια είναι η διαθεσιμότητα του διαύλου?



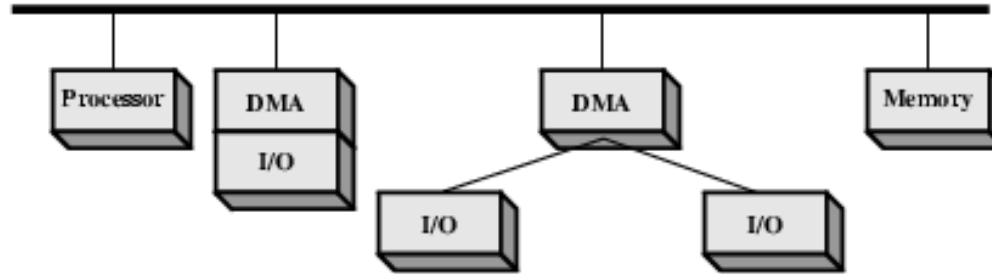
Διατάξεις $DMA_{1/3}$



- Απλός δίαυλος, Ενσωματωμένος ελεγκτής DMA
- Κάθε μεταφορά χρησιμοποιεί τον δίαυλο δύο φορές
 - I/O στο DMA μετά DMA στη μνήμη
- Η λειτουργία της CPU αναστέλλεται δύο φορές



Διατάξεις DMA_{2/3}

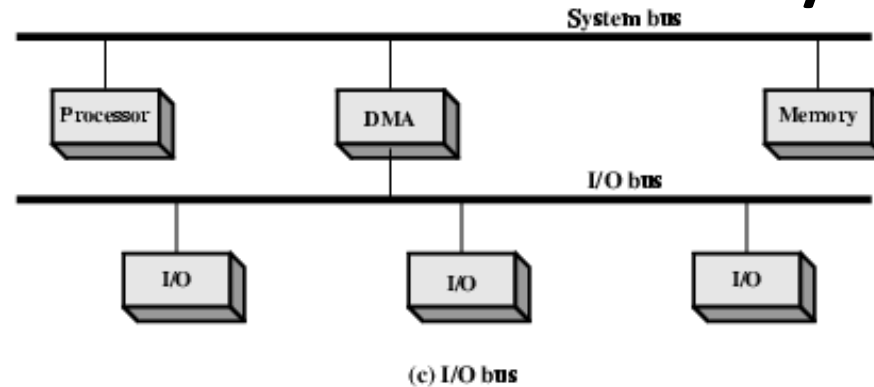


(b) Single-bus, Integrated DMA-I/O

- Απλός δίαυλος, Ολοκληρωμένος ελεγκτής DMA
- Ο ελεγκτής μπορεί να υποστηρίζει >1 συσκευές
- Κάθε μεταφορά χρησιμοποιεί το δίαυλο μια φορά
 - DMA στη μνήμη
- Η CPU σταματάει μια φορά



Διατάξεις DMA_{3/3}



- Ξεχωριστός I/O δίαυλος
- Ο δίαυλος υποστηρίζει όλες τις συσκευές που χρησιμοποιούν DMA
- Κάθε μεταφορά χρησιμοποιεί το δίαυλο μια φορά (DMA στη μνήμη)
- Η λειτουργία της CPU αναστέλλεται μια φορά

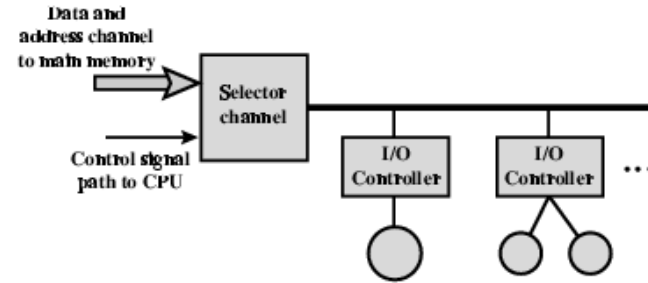


I/O Channels

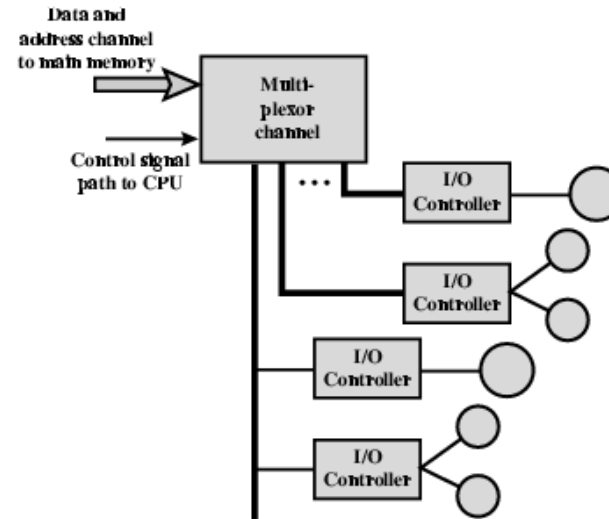
- I/O devices getting more sophisticated
- e.g. 3D graphics cards
- CPU instructs I/O controller to do transfer
- I/O controller does entire transfer
- Improves speed
 - Takes load off CPU
 - Dedicated processor is faster



Αρχιτεκτονική I/O Καναλιού



(a) Selector



(b) Multiplexor



Διεπαφή

- Διασύνδεση συσκευών
- Παράλληλη ή σειριακή;
- Εξειδικευμένος επεξεργαστής/μνήμη/δίαυλοι;
- π.χ. FireWire, InfiniBand



IEEE 1394 FireWire

- Υψηλής απόδοσης σειριακός δίαυλος
- Γρήγορο
- Χαμηλού κόστους
- Εύκολα υλοποιήσιμο
- Χρησιμοποιείται σε κάμερες, VCRs και TV

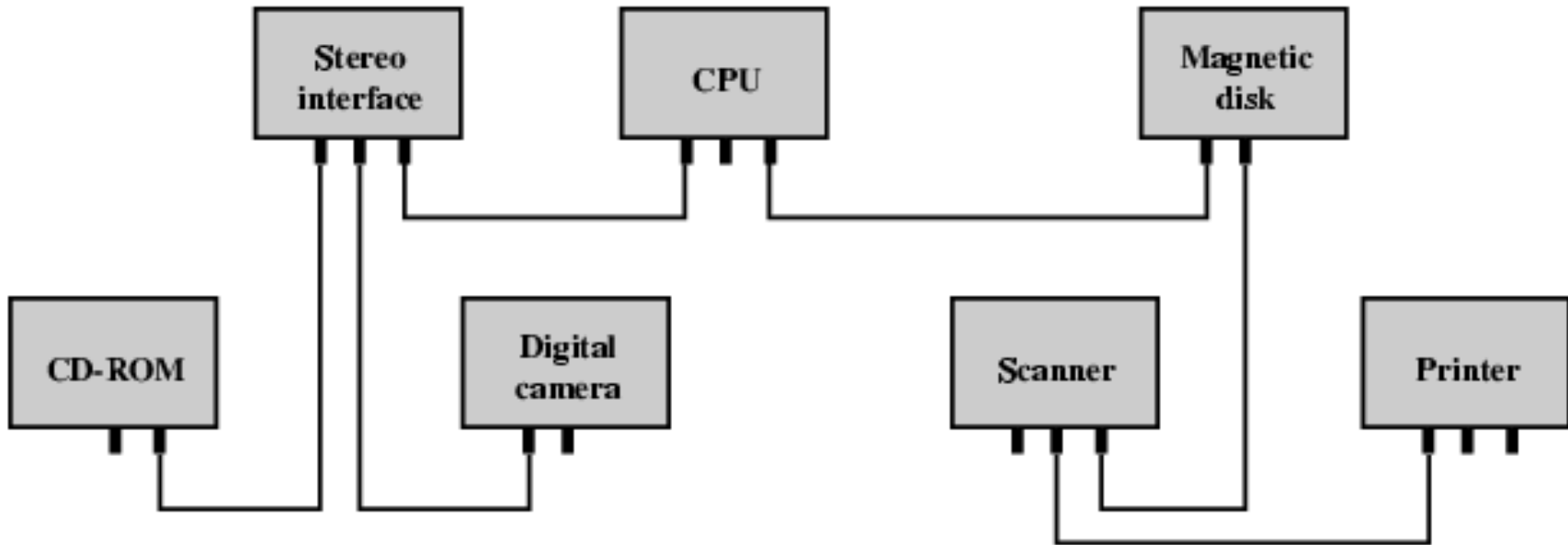


FireWire Configuration

- Daisy chain
- Up to 63 devices on single port
 - Really 64 of which one is the interface itself
- Up to 1022 buses can be connected with bridges
- Automatic configuration
- No bus terminators
- May be tree structure



Απλή διάταξη FireWire



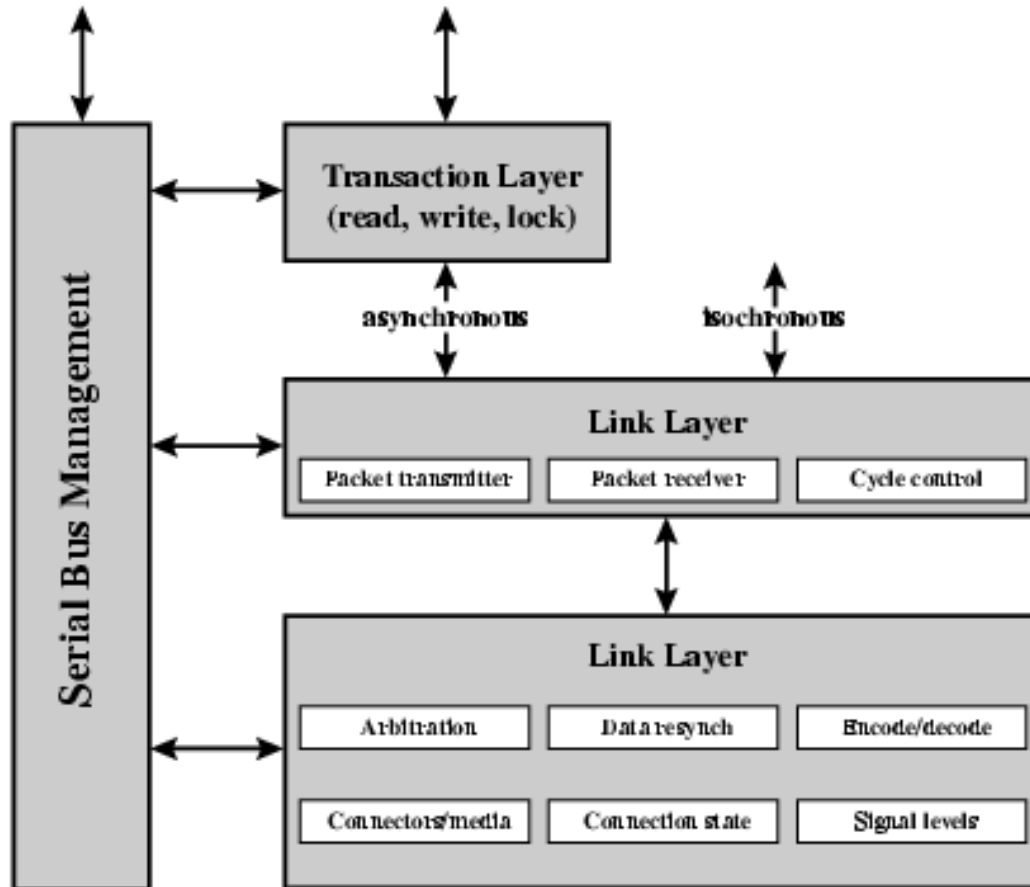


FireWire 3 Layer Stack

- Φυσικό
 - Μέσο μετάδοσης, ηλεκτρικά χαρακτηριστικά και σηματοδοσία
- Διασύνδεσης
 - Μετάδοση δεδομένων σε πακέτα
- Μεταφοράς
 - Request-response πρωτόκολλο



FireWire Protocol Stack





FireWire – Φυσικό επίπεδο

- Ρυθμοί δεδομένων από 25 ως 400Mbps
- Δύο μορφές διαιτησίας
 - Βασισμένες σε μορφή δένδρου
 - Η ρίζα ενεργεί σαν διαιτητής
 - First come first served
 - Η φυσική προτεραιότητα ελέγχει ταυτόχρονα αιτήματα
 - π.χ. κοντινότερος στη ρίζα
 - Δίκαια διαιτησία
 - Επείγουσα διαιτησία

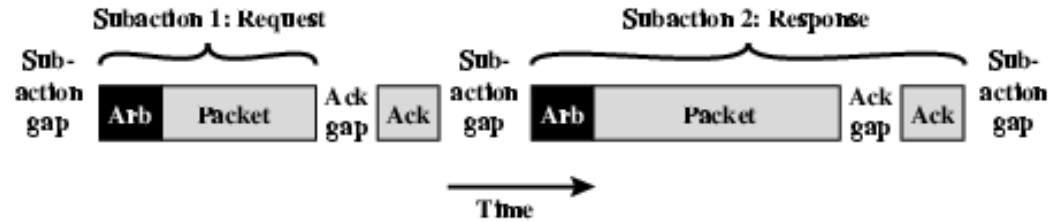


FireWire – Επίπεδο Διασύνδεσης

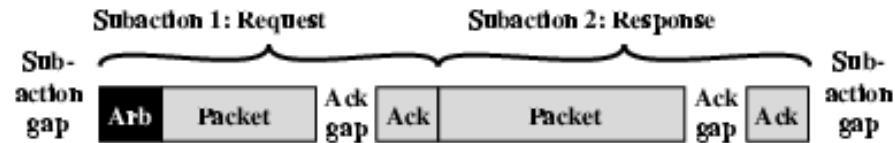
- Δύο τύποι μετάδοσης
 - Ασύγχρονη
 - Μεταφορά δεδομένων σε πακέτα μεταβλητού μεγέθους
 - Με ενσωματωμένη διεύθυνση
 - Επιστρέφει Acknowledgement
 - Ισόχρονη
 - Πακέτα σταθερού μήκους αποστέλλονται σε σταθερά χρονικά διαστήματα
 - Απλοποιημένη διευθυνσιοδότηση
 - Χωρίς acknowledgement



Επιδράσεις FireWire



(a) Example asynchronous subaction



(b) Concatenated asynchronous subactions



(c) Example isochronous subactions



InfiniBand

- I/O προδιαγραφές για «high end servers»
 - Συγχώνευση των Future I/O (Cisco, HP, Compaq, IBM) and Next Generation I/O (Intel)
- Η 1^η έκδοση το 2001
- Αρχιτεκτονική για ροή δεδομένων μεταξύ υπολογιστών και ευφυών I/O συσκευών
- Αντικαταστάτης του PCI στους servers
- Αυξημένη χωρητικότητα, επεκτασιμότητα, ελαστικότητα

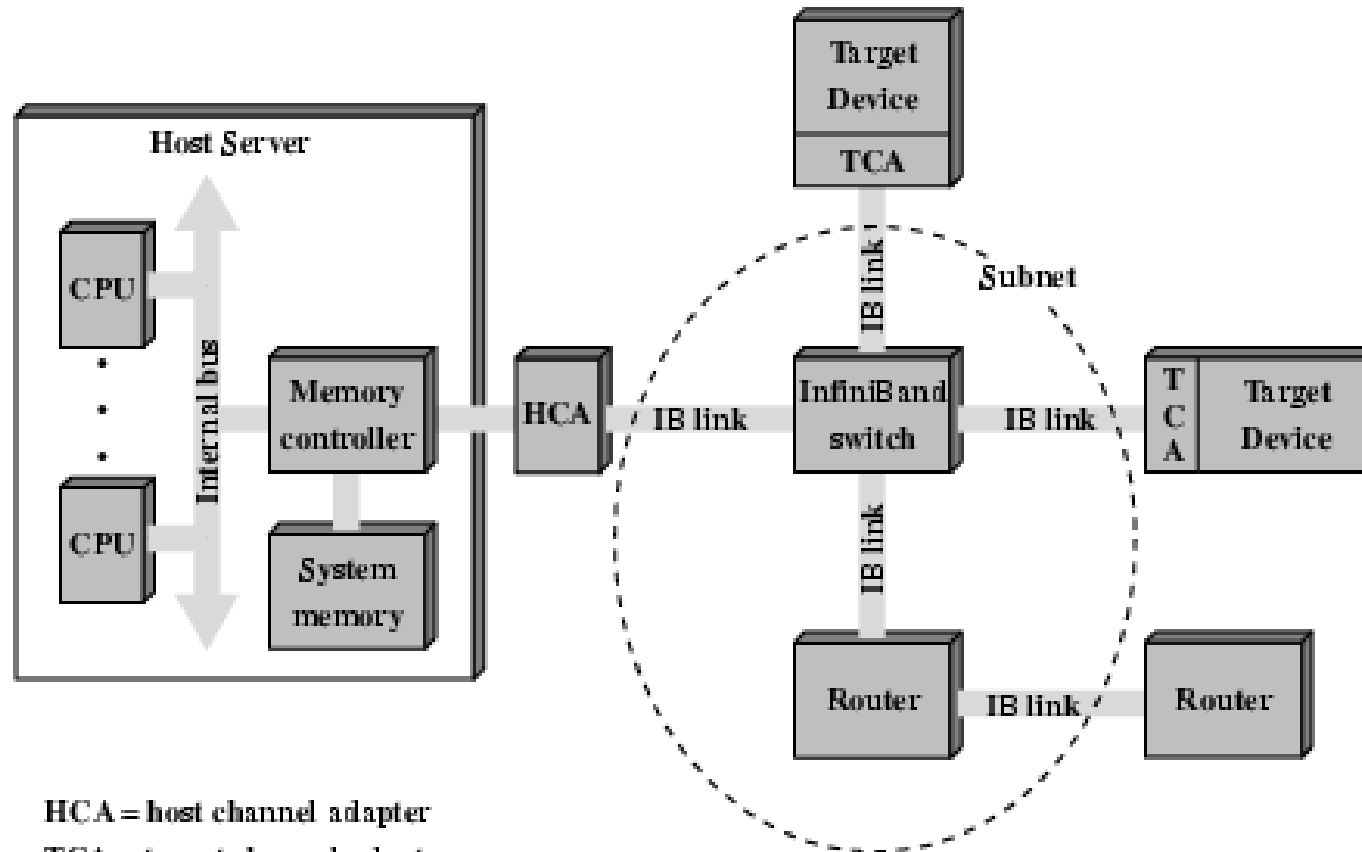


InfiniBand Architecture

- Remote storage, networking and connection between servers
- Attach servers, remote storage, network devices to central fabric of switches and links
- Greater server density
- Scalable data centre
- Independent nodes added as required
- I/O distance from server up to
 - 17m using copper
 - 300m multimode fibre optic
 - 10km single mode fibre
- Up to 30Gbps



Μεταγωγή InfiniBand



HCA = host channel adapter
TCA = target channel adapter

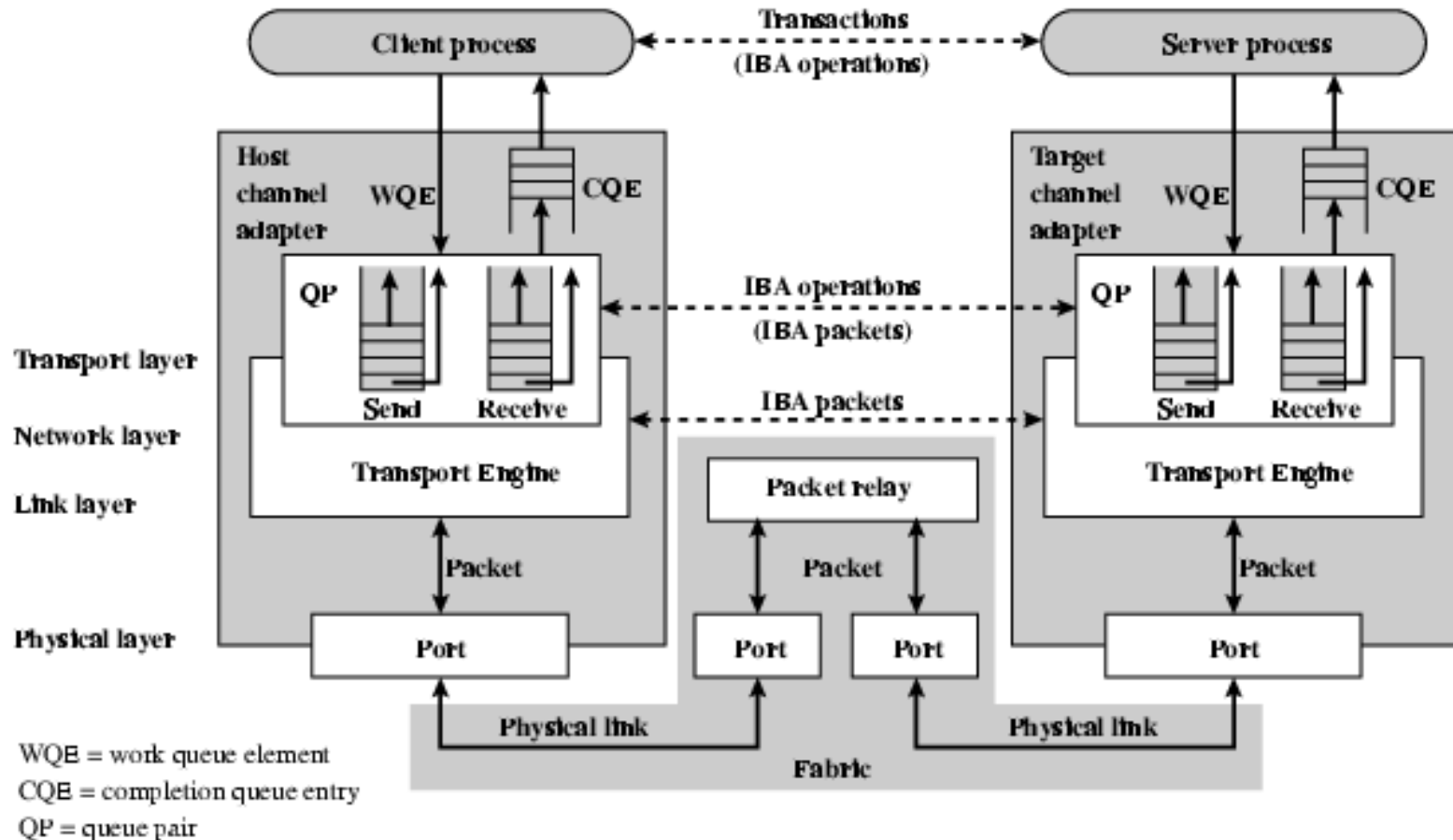


InfiniBand

- 16 λογικά κανάλια (virtual lanes) ανά φυσική συνδεση
- Ένα για διαχείριση, 15 για δεδομένα
- Δεδομένα σε ροές πακέτων
- Εικονικοί διάδρομοι (Virtual lane) προσωρινά διαθέσιμοι για μεταφορά end to end transfer
- Μεταγωγείς για χαρτογράφηση της κίνησης εισόδου / εξόδου



InfiniBand Protocol Stack





Βιβλιογραφία

- William Stallings. (2011). Αρχιτεκτονική & Οργάνωση Υπολογιστών. Εκδόσεις Τζιόλα.
- Δημοσθένης Ε. Μπολανάκης. (2011). Αρχιτεκτονική Μικροϋπολογιστών: αρχές προγραμματισμού χαμηλού επιπέδου και εφαρμογές με το μικροελεγκτή M68HC908GP32, Εκδόσεις Σύγχρονη Παιδεία.
- Tanenbaum Andrew S. (1995). Η Αρχιτεκτονική των Υπολογιστών μια δομημένη προσέγγιση Συγγραφέας Tanenbaum Andrew S. Εκδόσεις Κλειδάριθμος.
- Luce T. (1991). Αρχιτεκτονική των Υπολογιστών. Εκδόσεις Τζιόλα.
- Gilmore. (1999). Μικροεπεξεργαστές θεωρία και εφαρμογές. Εκδόσεις Τζιόλα.
- Predko M. (2000). Προγραμματίζοντας τον Μικροελεγκτή PIC, Εκδόσεις Τζιόλα.
- Μπεκάκος Μ.Π. (1994). Αρχιτεκτονική υπολογιστών & τεχνολογία παράλληλης επεξεργασίας, Εκδόσεις Σταμούλης.



Σημείωμα Αναφοράς

Copyright Τεχνολογικό Ίδρυμα Ηπείρου. Φώτης Βαρζιώτης.
Αρχιτεκτονική υπολογιστών.

Έκδοση: 1.0 Άρτα, 2015. Διαθέσιμο από τη δικτυακή
διεύθυνση:

<http://eclass.teiep.gr/OpenClass/courses/COMP115/>



Σημείωμα Αδειοδότησης

Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά Δημιουργού-Μη Εμπορική Χρήση-Όχι Παράγωγα Έργα 4.0 Διεθνές [1] ή μεταγενέστερη. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, Διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».



Ο δικαιούχος μπορεί να παρέχει στον αδειοδόχο ξεχωριστή άδεια να χρησιμοποιεί το έργο για εμπορική χρήση, εφόσον αυτό του ζητηθεί.

[1] <http://creativecommons.org/licenses/by-nc-nd/4.0/deed.el>



Τέλος Ενότητας

Επεξεργασία: Ευάγγελος Καρβούνης
Άρτα, 2015



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ



Τέλος Ενότητας

Είσοδος / Έξοδος



Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης

